

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 1 1 0 6 2

(43) 公開日 平成 7 年 (1995) 8 月 11 日

(51) Int. Cl. °

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

G 0 6 F 12/08

3 1 0 Z 7608-5 B

G 1 1 C 11/34 3 6 2 C

審査請求 未請求 請求項の数 1 5 O L

(全 2 1 頁)

(21) 出願番号 特願平 6-1012

(22) 出願日 平成 6 年 (1994) 1 月 10 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 山内 忠昭

兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機株式会社ユー・エル・エス・アイ開発研究所内

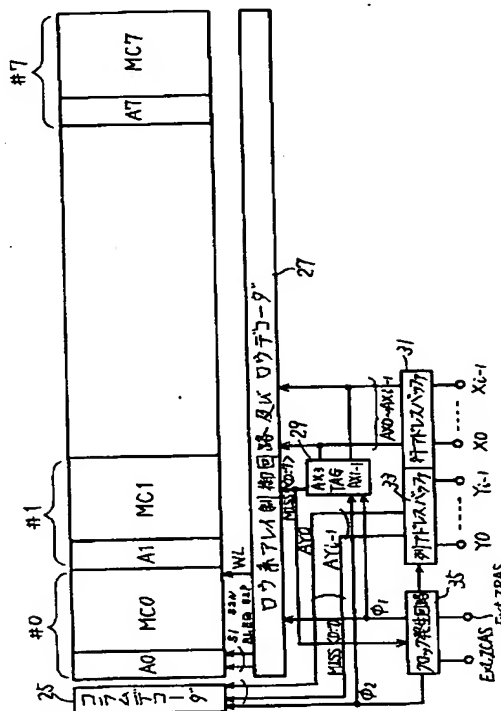
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 センスアンプをキャッシュとして用い、センスアンプからデータを直接読出したり、メモリセルからイコライズされたビット線を介して高速にデータを読出すことができるような半導体記憶装置を提供することである。

【構成】 この半導体記憶装置は、センスアンプ部 A_i、メモリセルアレイ MC_i、コラムデコーダ 25、ロウ系アレイ制御回路およびロウデコーダ 27、タグメモリ部 29、行アドレスバッファ 31、列アドレスバッファ 33、およびクロック発生回路 35を含む。タグメモリ部 29 に入力される内部行アドレスとタグメモリ部 29 が保持しているセンスアンプ部 A_i に対応する行アドレスとが一致した場合には、センスアンプ部 A_i から直接データが読出される。一方、一致しない場合には、メモリセルアレイ MC_i のデータがイコライズされたビット線を介してセンスアンプ部 A_i で増幅およびストアされて読出される。



【特許請求の範囲】

【請求項1】 複数のメモリセルが行および列方向に配設されたメモリセルアレイと、
各前記メモリセルの列方向に対応して設けられた複数のビット線対と、
各前記メモリセルの行方向に対応して設けられた複数のワード線と、
各前記ビット線対に接続され、かつ所定の行方向に配設されたメモリセルに対応するデータを保持する複数のセンスアンプを有するセンスアンプ部と、
各前記センスアンプが保持しているデータに対応する行アドレスと入力される行アドレスとが同じであるか否かを判定する第1の判定手段と、
各前記センスアンプに接続される入出力線対と、
入力される列アドレスに応じて、各前記センスアンプを前記入出力線対に接続するコラムデコーダと、
入力される行アドレスに応じて、行方向に配設されたメモリセルを指定するために前記ワード線を活性化するロウデコーダと、
列アドレスおよび行アドレスが入力される前において、
各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にし、さらに、前記第1の判定手段の出力に応じて、各前記センスアンプと各前記メモリセルとを接続するか否かを制御し、前記ビット線対をイコライズ状態にするか否かを制御する制御手段とを備えた、半導体記憶装置。

【請求項2】 前記制御手段は、前記第1の判定手段が読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが同じであると判定したことに応じて、各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にし、
前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項1記載の半導体記憶装置。

【請求項3】 前記制御手段は、前記第1の判定手段が読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、
前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項1記載の半導体記憶装置。

【請求項4】 前記制御手段は、前記第1の判定手段が書込のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが同じであるまたは異なると判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、
前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項1記載の半導体記憶装置。

【請求項5】 前記制御手段は、前記第1の判定手段が書込のために入力される行アドレスと各前記センスアンプ

に保持されているデータに対応する行アドレスとが同じであると判定したことに応じて、各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にし、
前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項1記載の半導体記憶装置。

【請求項6】 さらに、各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータとが同じであるか否かを判定する第2の判定手段とを備え、
前記制御手段は、前記第1の判定手段が書込または読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ前記第2の判定手段が各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータとが同じであると判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、
前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項1または5記載の半導体記憶装置。

【請求項7】 前記制御手段は、各前記メモリセルおよび各前記センスアンプに対してデータの書込または読出が行なわれた後、各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にする、請求項6記載の半導体記憶装置。

【請求項8】 さらに、各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータとが同じであるか否かを判定する第2の判定手段とを備え、
前記制御手段は、前記第1の判定手段が書込または読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ前記第2の判定手段が各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータとが異なると判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、各前記センスアンプに保持されたデータを各前記メモリセルに書込む、請求項1または5記載の半導体記憶装置。

【請求項9】 前記制御手段は、各前記センスアンプに保持されたデータが各前記メモリセルに書込まれた後、各前記センスアンプと前記書込または読出のために入力される行アドレスに対応したメモリセルとを接続し、
前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項8記載の半導体記憶装置。

【請求項10】 前記センスアンプ部に対して隣接して複数の前記メモリセルアレイが設けられる、請求項1から9いずれかに記載の半導体記憶装置。

【請求項11】 前記センスアンプ部は、隣接して設け

られた複数のメモリセルアレイのいずれかのデータを保持する、請求項10記載の半導体記憶装置。

【請求項12】 複数の前記メモリセルアレイのそれぞれの間に、共有される前記センスアンプ部が隣接して設けられる、請求項1から9いずれかに記載の半導体記憶装置。

【請求項13】 前記センスアンプ部は、共有されるメモリセルアレイのいずれかのデータを保持できる、請求項12記載の半導体記憶装置。

【請求項14】 さらに、各前記メモリセルアレイに近接して、かつ共有される複数のセンスアンプ部のうち最近アクセスされたセンスアンプ部を判定する第3の判定手段とを備え、前記第3の判定手段が最近アクセスされていないと判定したセンスアンプ部に各前記メモリセルアレイのデータが書込まれる、請求項13記載の半導体記憶装置。

【請求項15】 さらに、外部行アドレスが入力される行アドレスバッファと、入出力データが入出力される入出力バッファと、前記行アドレスバッファに外部行アドレスを入力するための入力端子と、前記入出力バッファに入出力データを入出力するための入出力端子とを備え、前記入力端子と前記入出力端子は、同じである、請求項1から14いずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体記憶装置に関し、特に、センスアンプをキャッシュメモリとして使用することができるような半導体記憶装置に関する。

【0002】

【従来の技術】 図22は、従来の4.5Mbitダイナミック(D)RAM半導体記憶装置の概略ブロック図であって、IEICE TRANS. ELECTRON, VOL E76 C, NO5 MAY 1993 PP. 830~837におけるFig. 4に対応した図であり、図23は、図22の入出力端子DQi(i=0, 1, ..., 8)に対応して設けられる512kセルアレイを示した概略ブロック図である。

【0003】 図22を参照して、この半導体記憶装置は、入出力端子DQi(i=0, 1, ..., 8)と、ロウ系回路13と、コラム系回路15と、制御回路17と、クロックおよび制御回路19と、入出力(I/O)回路21とを含む。

【0004】 入出力端子DQ0から入出力端子DQ8は、番号の順に並んで設けられている。その並んだ入出力端子の一端側にロウ系回路13は設けられている。その並んだ入出力端子の他端側にコラム系回路15は設けられている。ロウ系回路13、コラム系回路15および入出力端子DQ0に近接してロウ系回路13等を制御す

るための制御回路17が設けられている。ロウ系回路13、入出力端子DQi、コラム系回路15および制御回路17は、DRAMコアを形成している。

【0005】 クロックおよび制御回路19はコラム系回路15の中心部に近接して設けられている。そのクロックおよび制御回路19の両側には、コラム系回路15に沿ってI/O回路21が設けられている。クロックおよび制御回路19およびI/O回路21は、インターフェイスロジックを形成している。

【0006】 入出力端子DQiに対応して設けられる512kセルアレイ3は、256kサブアレイ5aと、256kサブアレイ5bと、ロウデコーダ7a, 7bと、センスアンプ9a, 9bと、コラムデコーダ11とを含む。

【0007】 256kサブアレイ5a, 5bは、それぞれ256の行および1240の列に対応して設けられるメモリセルを有する。256kサブアレイ5a, 5bによって512kの記憶容量が形成され、図22に示すような入出力端子が9本あるので語構成が9の全記憶容量4.5Mbitの半導体記憶装置が形成されている。

【0008】 256kサブアレイ5aの行方向の一端側にはロウデコーダ7aが設けられ、256kサブアレイ5bの行方向の一端側にはロウデコーダ7bが設けられている。256kサブアレイ5aの列方向の一端側にはセンスアンプ9aが設けられ、256kサブアレイ5bの列方向の一端側にはセンスアンプ9bが設けられている。センスアンプ9aとセンスアンプ9bの間にはコラムデコーダ11が設けられている。センスアンプ9a, 9bは、256kサブアレイ5a, 5bの列の数である1024個のセンスアンプを有する。

【0009】 図22に示す入出力端子DQiのそれぞれに対して、読出時には、各512kセルアレイ3から1つつつメモリセルが選択されてデータが読出される。したがって、256kサブアレイ5aをバンクAとし、256kサブアレイ5bをバンクBとすると、2バンク構成を形成したバンクA, Bは、異なるロウ系の制御信号で制御される。そして、各バンクから独立にデータがアクセスされる。すなわち、たとえばバンクAが選択されているときは、各512kセルアレイのバンクA側の256kサブアレイ5aからデータが1つつつ読出されて入出力端子DQiに出力される。逆に、たとえばバンクBが選択されたときは、バンクB側の256kサブアレイ5bからデータが読出される。

【0010】 データは読出された後、たとえばそのデータがセンスアンプ9aに蓄えられたままで、次の読出時と同じ行が選択されると、ワード線が活性化されて読出されるのではなく、センスアンプ9aから直接読出される。このように、センスアンプから直接読出されることをリードヒットと呼ぶ。リードヒットの場合、ワード線を活性化して読出す場合に比べて早くデータが読出され

る。

【0011】一方、前の読出時と異なる行が選択されるリードミス時では、たとえばセンスアンプ9aに蓄えられたデータをリセットする一連のプリチャージ動作が必要となる。すなわち、前の読出時に選択されて活性化されたままになっているワード線は立下げられ、さらにビット線対はイコライズされ、センスアンプ9aのデータがリセットされる必要がある。そして、新しいアドレスに対する読出が行なわれる。

【0012】

【発明が解決しようとする課題】しかしながら、センスアンプのデータがリセットされるための一連のプリチャージ動作が必要とされるリードミス時では、通常必要とされるRASアクセス時間tRACにプリチャージ時間が加えられた時間が必要である。このtRACにプリチャージ時間を加えた時間は、RASのサイクルタイムに等しい。たとえばtRAC=50nsの場合には、サイクルタイム=90nsとなっており、結果的にプリチャージ時間=40ns遅くなる。このことは、リードミス時の読出時間が遅くなることを意味する。

【0013】ゆえに、本発明は、センスアンプをキャッシュとして用い、かつリードミス時においても通常のRASアクセス時間tRACに限りなく近い時間で高速にデータを読出すことができるような半導体記憶装置を提供することである。

【0014】次に、他の問題点を説明する。センスアンプ9a、9bは、各バンク毎に配置されているので、たとえばバンクA側が動作しているときバンクA側に配置されたセンスアンプ9aのみがキャッシュとしての機能を果たす。逆にバンクB側が動作するとき、バンクB側のセンスアンプ9bがキャッシュとしての機能を果たす。したがって、センスアンプは、2ラインX1kbyt eキャッシュとしての機能を果たしている。

【0015】しかし、キャッシュの容量に対して、ブロックサイズには最適値がある。たとえば、ブロックサイズが大きいと（一度にデータが置換される単位が大きいと）、ライン数が少ない場合にキャッシュとしてのヒット率が低くなることが知られている。

【0016】ゆえに、この発明の他の目的は、キャッシュとしての機能を果たすセンスアンプのライン数を多くして、ヒット率を向上することができるような半導体記憶装置を提供することである。

【0017】

【課題を解決するための手段】請求項1の発明に係る半導体記憶装置は、複数のメモリセルが行および列方向に配設されたメモリセルアレイと、各メモリセルの列方向に対応して設けられた複数のビット線対と、各メモリセルの行方向に対応して設けられた複数のワード線と、各ビット線対に接続され、かつ所定の行方向に配設されたメモリセルに対応するデータを保持する複数のセンスア

ンプを有するセンスアンプ部と、各センスアンプが保持しているデータに対応する行アドレスと入力される行アドレスとが同じであるか否かを判定する第1の判定手段と、各センスアンプに接続される入出力線対と、入力される列アドレスに応じて、各センスアンプを入出力線対に接続するコラムデコーダと、入力される行アドレスに応じて、行方向に配設されたメモリセルを指定するためにワード線を活性化するロウデコーダと、列アドレスおよび行アドレスが入力される前において、各センスアンプと各メモリセルとを分離するとともに、ビット線対をイコライズ状態にし、さらに、第1の判定手段の出力に応じて、各センスアンプと各メモリセルとを接続するか否かを制御し、ビット線対をイコライズ状態にするか否かを制御する制御手段とを備えている。

10
20

【0018】請求項2では、請求項1の制御手段は、第1の判定手段が読出のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが同じであると判定したことに応じて、各センスアンプと各メモリセルとを分離するとともに、ビット線対をイコライズ状態にし、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【0019】請求項3では、請求項1の制御手段は、第1の判定手段が読出のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、各センスアンプと各メモリセルとを接続し、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【0020】請求項4では、請求項1の制御手段は、第1の判定手段が書込のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが同じであるまたは異なると判定したことに応じて、各センスアンプと各メモリセルとを接続し、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【0021】請求項5では、請求項1の制御手段は、第1の判定手段が書込のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが同じであると判定したことに応じて、各センスアンプと各メモリセルとを分離するとともに、ビット線対をイコライズ状態にし、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【0022】請求項6では、請求項1または5の半導体記憶装置は、さらに、各センスアンプに保持されているデータと各メモリセルに保持されているデータとが同じであるか否かを判定する第2の判定手段とを備え、制御手段は、第1の判定手段が書込または読出のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ第2の判定手段が各センスアンプに保持されているデータと各メモリセルに保持されているデータ

30

40

50

とが同じであると判定したことに応じて、各センスアンプと各メモリセルとを接続し、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【0023】請求項7では、請求項6の制御手段は、各メモリセルおよび各センスアンプに対してデータの書込または読出が行なわれた後、各センスアンプと各メモリセルとを分離するとともに、ビット線対をイコライズ状態にする。

【0024】請求項8では、請求項1または5の半導体記憶装置は、さらに、各センスアンプに保持されているデータと各メモリセルに保持されているデータとが同じであるか否かを判定する第2の判定手段とを備え、制御手段は、第1の判定手段が書込または読出のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ第2の判定手段が各センスアンプに保持されているデータと各メモリセルに保持されているデータとが異なると判定したことに応じて、各センスアンプと各メモリセルとを接続し、各センスアンプに保持されたデータを各メモリセルに書込む。

【0025】請求項9では、請求項8の制御手段は、各センスアンプに保持されたデータが各メモリセルに書込まれた後、各センスアンプと書込または読出のために入力される行アドレスに対応したメモリセルとを接続し、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【0026】請求項10では、請求項1から9いずれかのセンスアンプ部に対して隣接して複数のメモリセルアレイが設けられる。

【0027】請求項11では、請求項10のセンスアンプ部は、隣接して設けられた複数のメモリセルアレイのいずれかのデータを保持する。

【0028】請求項12では、請求項1から9いずれかの半導体記憶装置において、複数のメモリセルアレイのそれぞれの間に、隣接して共有されるセンスアンプ部が設けられる。

【0029】請求項13では、請求項12のセンスアンプ部は、共有されるメモリセルアレイのいずれかのデータを保持できる。

【0030】請求項14では、請求項13の半導体記憶装置は、さらに、各メモリセルアレイに隣接して、かつ共有される複数のセンスアンプ部のうち最近アクセスされたセンスアンプ部を判定する第3の判定手段とを備え、第3の判定手段が最近アクセスされていないと判定したセンスアンプ部に各メモリセルアレイのデータが書込まれる。

【0031】請求項15では、請求項1から14いずれかの半導体記憶装置は、さらに、外部行アドレスが入力される行アドレスバッファと、入出力データが入出力される入出力バッファと、行アドレスバッファに外部行ア

ドレスを入力するための入力端子と、入出力バッファに入出力データを入出力するための入出力端子とを備え、入力端子と入出力端子は、同じである。

【0032】

【作用】この発明に係る半導体記憶装置は、列アドレスおよび行アドレスが入力される前において、データを保持しているセンスアンプとメモリセルとを分離するとともに、メモリセルに接続されるビット線対をイコライズ状態にしており、たとえば、センスアンプに保持されているデータに対応する行アドレスと読出のために入力される行アドレスとが同じである場合には、メモリセルと分離されたセンスアンプから直接データを入出力線対に読出することができる。さらに、たとえば、センスアンプに保持されているデータに対応する行アドレスと読出のための入力される行アドレスとが異なる場合には、メモリセルとセンスアンプが接続され、メモリセルのデータが入出力線対に読出される。

【0033】

【実施例】図1は、この発明の第1の実施例による半導体記憶装置の全体を示す概略ブロック図である。

【0034】図1を参照して、この半導体記憶装置は、センスアンプ部 A_i ($i=0, 1, \dots, 7$)と、メモリセルアレイ MC_i ($i=0, 1, \dots, 7$)と、コラムデコーダ25と、ロウ系アレイ制御回路およびロウデコーダ27と、クロック発生回路35と、タグメモリ部(図面ではTAG)29と、列アドレスバッファ33と、行アドレスバッファ31とを含む。

【0035】センスアンプ部 A_i は、センスアンプが行方向に並んだセンスアンプ列および入出力線対とビット線対とを接続する制御回路を含んでいる。メモリセルアレイ MC_i は、行方向および列方向に配線されたワード線およびビット線に対応して配設される複数のメモリセルを有している。このセンスアンプ部 A_i とメモリセルアレイ MC_i は、それぞれ i に対応してブロック# i を形成し、本実施例の場合には、#0~#7の8つのブロックに分割されている。

【0036】列アドレスバッファ33には、外部列アドレス $Y_0 \sim Y_{(i-1)}$ 信号が入力され、行アドレスバッファ31には、外部行アドレス $X_0 \sim X_{(i-1)}$ 信号が入力されている。行アドレスバッファ31は、内部行アドレス $AX_0 \sim AX_{(i-1)}$ 信号をロウ系アレイ制御回路およびロウデコーダ27に出力し、下位3ビットを除いた内部行アドレス $AX_3 \sim AX_{(i-1)}$ をタグメモリ部29に出力している。列アドレスバッファ33は、内部列アドレス $AY_0 \sim AY_{(i-1)}$ をコラムデコーダ25に出力している。

【0037】クロック発生回路35には、外部制御信号 $Ext.$ 、 $ZCAS$ 、 $Ext.$ 、 $ZRAS$ が入力されている。クロック発生回路35は、列アドレスバッファ33に外部列アドレス $Y_0 \sim Y_{(i-1)}$ を取り込むことを

指示する信号を出力している。さらにクロック発生回路35は、コラムデコーダ25にクロック信号 ϕ_2 を出力し、ロウ系アレイ制御回路およびロウデコーダ27にクロック信号 ϕ_1 を出力している。このクロック信号 ϕ_1 、 ϕ_2 は、タグメモリ部29にも入力されている。

【0038】タグメモリ部29は、センスアンプ部A i に保持されているデータに対応した行アドレスを記憶している。したがって、行アドレスバッファ31によって入力される内部行アドレスAX3~AX($i-1$)と記憶している行アドレスとを比較し、一致するかどうかを表わす信号MISS<0:7>をロウ系アレイ制御回路およびロウデコーダ27とクロック発生回路35とに出力している。この信号MISS<0:7>は、一致した場合がLレベルの信号であり、不一致の場合がHレベルの信号である。

【0039】ロウ系アレイ制御回路およびロウデコーダ27は、ロウ系アレイ制御回路とロウデコーダとに後で説明するように分割されており、ロウ系アレイ制御回路から制御信号S1、BLEQ、S2N、S2Pがセンスアンプ部A i に入力されている。ロウ系アレイ制御回路からロウデコーダには、図示していないが信号RDEも入力されている。ロウデコーダは、メモリセルアレイMC i に対してワード線を活性化するための信号WLを出力している。

【0040】以下、この発明の動作を図1を用いて簡単に説明する。この装置が動作する前の待機時においては、#0~#7のそれぞれのブロックにおけるセンスアンプ部A i とメモリセルアレイMC i とは分離されている。この分離されているか否かは、ロウ系制御回路から出力される制御信号S1によって制御されている。そして、それぞれのセンスアンプ部A i のセンスアンプは、所定の行方向のメモリセルに対応したデータを保持している。そのため、タグメモリ部29は、それぞれのセンスアンプに蓄えられているデータに対応する行アドレスを記憶している。

【0041】各センスアンプ部A i に保持されたデータが読出されるために、まず、外部行アドレスX0~X($i-1$)が行アドレスバッファ31に入力され、外部列アドレスY0~Y($i-1$)が列アドレスバッファ33に入力される。行アドレスバッファ31から下位3ビットを除いた内部行アドレスX3~AX($i-1$)が8ラインのタグメモリ部29に入力される。タグメモリ部29に蓄えられたアドレスと、入力された行アドレスとが一致すると、メモリセルアレイMC i とセンスアンプ部A i とは分離されたまま、コラムデコーダ25が動作する。そのため、行アドレスで選択されたセンスアンプ列にあるデータが直接コラム選択線で選択されて入出力線対に読出される。この場合は、リードヒットと呼ばれ、ワード線を活性化してからメモリセルのデータを読出すわけではないので、読出時間が短くなっている。

【0042】一方、タグメモリ部29に記憶している行アドレスと入力された行アドレスとが不一致の場合には、行アドレスに対応するブロック# i の信号MISS< i >はHレベルになる。このHレベルの信号MISS< i >が入力されるロウ系アレイ制御回路およびロウデコーダ27は、センスアンプ部A i に対してセンスアンプ部のデータをリセットするための信号S2N、S2Pを出力する。さらに、ロウ系アレイ制御回路およびロウデコーダ27からメモリセルアレイMC i とセンスアンプ部A i とを接続するための信号S1を出力する。これによって、センスアンプ部A i のデータはリセットされ、メモリセルアレイMC i のメモリセルからデータが読出され、センスアンプで増幅およびストアされる。ここで、メモリセルアレイMC i のすべてのビット線対は、待機時において信号BLEQによってイコライズ状態であったので、リードミスにおける読出時間のロスは殆どなくなっている。

【0043】このことについて説明すると、ビット線は、通常抵抗が大きく、寄生容量も大きいものが使用されている。そのため、従来例のようにビット線がイコライズされていない場合には、約10~20ns程度の時間がかかっていた。これに対し、本発明では、ビット線がイコライズ状態であったので、約10~20ns程度の時間が短縮されている。一方、センスアンプは、寄生容量もビット線と比べると数分の1(1/3~1/5)であり、抵抗も小さい。したがって、センスアンプ部のイコライズ時間としては、1ns程度で十分であり、センスアンプ部におけるリードミス時の読出時間のロスは殆どないと考えてよい。すなわち、従来例に比べて待機時にビット線がイコライズされたことにより、リードミス時とリードヒット時の読出時間の差を極力抑えることができる。

【0044】なお、読出時において、8つに分割されたブロック i のうち1つのブロックのみが動作するが、その他の7つの待機状態にあるセンスアンプ列にはデータが保持されているので、図1に示すような構成のセンスアンプは、8ラインのキャッシュとしての機能を果たしている。

【0045】図2は、図1のセンスアンプ部A i ($i=0, 1, \dots, 7$)およびメモリセルアレイMC i ($i=0, 1, \dots, 7$)の一例としてのセンスアンプ部A0およびメモリセルアレイMC0の回路図、ならびにコラムデコーダ、ロウ系アレイ制御回路およびロウデコーダのブロック図である。

【0046】図2を参照して、メモリセルアレイMC0は、行方向に配線されたワード線と列方向に配線されたビット線対に対応して配設されるメモリセルを有している。たとえばワード線WL0とビット線対BL1、ZBL1に対応するメモリセルは、メモリセルキャパシタ69とメモリセルトランジスタ71とを含む。メモリセル

キャパシタ 6 9 の一方の電極は接地電位に接続され、他方の電極はメモリセルトランジスタ 7 1 のソース／ドレインの一方の電極に接続されている。メモリセルトランジスタの他方のソース／ドレインは、ビット線 B L 1 に接続され、ゲート電極はワード線 W L 0 に接続されている。

【0047】 センスアンプ部 A 0 は、ビット線対をイコライズ状態にできる N チャンネル MOS トランジスタと、センスアンプと、センスアンプとビット線対とを分離できる N チャンネル MOS トランジスタと、センスアンプと

10 入出力線 (I O , Z I O) とを接続できる N チャンネル MOS トランジスタとを含んでいる。
【0048】 たとえばビット線対 B L 1 , Z B L 1 をイコライズ状態にできる N チャンネル MOS トランジスタ 5 7 は、ゲート電極にロウ系アレイ制御回路 2 7 a の出力である制御信号 B L E Q を受け、ソースおよびドレインがそれぞれビット線対 B L 1 , Z B L 1 に接続されている。同様に、N チャンネル MOS トランジスタ 5 9 のゲート電極には制御信号 B L E Q が入力され、ソースおよびドレインのそれぞれがビット線対 B L 2 , Z B L 2 に接

20 続されている。
【0049】 ビット線対 B L 1 , Z B L 1 とセンスアンプ 4 5 を接続または分離するための N チャンネル MOS トランジスタ 4 9 , 5 1 のゲート電極にはロウ系アレイ制御回路 2 7 a からの出力である制御信号 S 1 < 0 > が入力されている。N チャンネル MOS トランジスタ 4 9 のソース／ドレインの一方はビット線 B L 1 に接続され、N チャンネル MOS トランジスタ 5 1 のソース／ドレインの一方はビット線 Z B L 1 に接続されている。MOS トランジスタ 4 9 , 5 1 の他方のソース／ドレインはセンス

30 アンプ 4 5 に接続されている。同様に、N チャンネル MOS トランジスタ 5 3 , 5 5 のゲート電極には制御信号 S 1 < 0 > が入力され、ソース／ドレインの一方はそれぞれビット線対 B L 2 , Z B L 2 に接続され、他方のソース／ドレインはセンスアンプ 4 7 に接続されている。
【0050】 センスアンプ 4 5 , 4 7 のうち、センスアンプ 4 5 を用いて内部構成を説明する。センスアンプ 4 5 は、N チャンネル MOS トランジスタ 4 9 の他方のソース／ドレイン側のノード B 1 にゲート電極が接続される P チャンネル MOS トランジスタ 6 7 , N チャンネル MOS

40 トランジスタ 6 3 と、N チャンネル MOS トランジスタ 5 1 の他方のソース／ドレイン側のノード Z B 1 にゲート電極が接続される P チャンネル MOS トランジスタ 6 5 , N チャンネル MOS トランジスタ 6 1 とを含む。
【0051】 P チャンネル MOS トランジスタ 6 5 , N チャンネル MOS トランジスタ 6 1 のソース／ドレインの一方はノード B 1 に接続され、P チャンネル MOS トランジスタ 6 7 , N チャンネル MOS トランジスタ 6 3 の一方のソース／ドレインはノード Z B 1 に接続されている。N チャンネル MOS トランジスタ 6 1 と N チャンネル MOS

ランジスタ 6 3 の他方のソース／ドレインはともに接続され、ロウ系アレイ制御回路 2 7 a の出力である制御信号 S 2 N < 0 > が入力されている。P チャンネル MOS トランジスタ 6 5 と P チャンネル MOS トランジスタ 6 7 の他方のソース／ドレインはともに接続され、ロウ系アレイ制御回路 2 7 a の出力である制御信号 S 2 P < 0 > が入力されている。

【0052】 入出力線対 I O , Z I O とセンスアンプとを接続するための N チャンネル MOS トランジスタのゲート電極は、コラムデコーダ 2 5 とコラム選択線で接続されている。たとえば、センスアンプ 4 5 と入出力線 I O , Z I O とを接続する N チャンネル MOS トランジスタ 3 7 , 3 9 のゲート電極はコラム選択線 C S L 0 に接続されている。N チャンネル MOS トランジスタ 3 7 のソース／ドレインの一方は、センスアンプ 4 5 のノード B 1 に接続され、他方のソース／ドレインは入出力線 I O に接続されている。N チャンネル MOS トランジスタ 3 9 のソース／ドレインの一方はセンスアンプ 4 5 のノード Z B 1 に接続され、他方のソース／ドレインは入出力線 Z I O に接続されている。同様に、N チャンネル MOS トランジスタ 4 1 , 4 3 のゲート電極はコラム選択線 C S L 1 に接続され、ソース／ドレインの一方はセンスアンプ 4 7 に接続され、他方のソース／ドレインは入出力線対 I O , Z I O に接続されている。

【0053】 なお、ロウデコーダ 2 7 b は、内部行アドレス A X 0 ~ A X (i - 1) に応じてワード線を活性化するか否かを決定するだけでなく、ロウ系アレイ制御回路 2 7 a からの信号 R D E によっても決定している。

【0054】 図 3 は、図 1 のタグメモリ部の回路図である。図 3 を参照して、タグメモリ部 2 9 は、入力される内部行アドレス A X 3 ~ A X (i - 1) に対応して設けられる 8 ラインのタグメモリセルを有する。各ラインのタグメモリセル列を T A G < i > (i = 0 , 1 , … , 7) で表わすと、各タグメモリセル列 T A G < i > の保持している行アドレスと内部行アドレス A X 3 ~ A X (i - 1) とが一致した場合には、信号 M I S S < i > は L レベルであり、不一致の場合は信号 M I S S < i > は H レベルである。

【0055】 この信号 M I S S < i > の中で信号 M I S S < 0 > に着目する。そして、この信号 M I S S < 0 > が発生するためのタグメモリセル列 T A G < 0 > におけるタグメモリセルとして内部行アドレス A X 3 が入力されるタグメモリセル 7 3 について説明する。タグメモリセル 7 3 は、N チャンネル MOS トランジスタ 8 5 , 8 7 , 8 9 , 9 1 , 9 3 , 9 5 と、インバータ 9 7 , 9 9 とを含む。

【0056】 N チャンネル MOS トランジスタ 8 5 , 8 7 のゲート電極には、クロック発生回路からのクロック信号 ϕ_2 と後で説明する信号 M I S S < 0 > が入力される NAND ゲート 7 5 の出力がインバータ 7 7 で反転され

て入力されている。NチャネルMOSトランジスタ85のソース／ドレインの一方は内部行アドレス信号AX3が入力され、NチャネルMOSトランジスタ87のソース／ドレインの一方は内部行アドレスAX3がインバータ101で反転されて入力されている。MOSトランジスタ85、87の他方のソース／ドレインはインバータ97、99で構成されるラッチ回路に接続されている。すなわち、NチャネルMOSトランジスタ85の他方のソース／ドレインは、インバータ97の出力側およびインバータ99の入力側に接続され、NチャネルMOSトランジスタ87の他方のソース／ドレインはインバータ97の入力側およびインバータ99の出力側に接続されている。

【0057】NチャネルMOSトランジスタ85の他方のソース／ドレインはNチャネルMOSトランジスタ93のゲート電極に接続され、NチャネルMOSトランジスタ87の他方のソース／ドレインはNチャネルMOSトランジスタ91のゲート電極に接続されている。NチャネルMOSトランジスタ91、95のソース／ドレインの一方は接地されている。NチャネルMOSトランジスタ89のゲート電極には内部行アドレス信号AX3が入力され、NチャネルMOSトランジスタ95のゲート電極には内部行アドレス信号AX3がインバータで反転されて入力されている。NチャネルMOSトランジスタ89、93の一方のソース／ドレインは信号MISS<0>を発生するための回路部分に接続されている。

【0058】この信号MISS<0>を発生する回路部分は、PチャネルMOSトランジスタ79、81と、インバータ83とを含む。PチャネルMOSトランジスタ79のゲート電極にはクロック発生回路の出力であるクロック信号 ϕ_1 が入力され、ソース／ドレインの一方は電源に接続されている。PチャネルMOSトランジスタ79の他方のソース／ドレインは、PチャネルMOSトランジスタ81の一方のソース／ドレイン、インバータ83の入力側、およびNチャネルMOSトランジスタ89、93の一方のソース／ドレインに接続されている。

【0059】インバータ83の出力側はPチャネルMOSトランジスタ81のゲート電極に接続され、このインバータ83から信号MISS<0>が出力される。PチャネルMOSトランジスタ81の他方のソース／ドレインは電源に接続されている。同様に、内部行アドレス信号AX4、インバータ105で反転された内部行アドレス信号AX4、インバータ77の出力およびPチャネルMOSトランジスタ79、81によって供給される出力はタグメモリセル103に入力されており、このようなタグメモリセルによってタグメモリセル列TAG<0>が形成されている。

【0060】動作について簡単に説明する。信号 ϕ_1 がLレベルのとき、ノードN1はHレベルにプリチャージされる。インバータ97、99で構成されるラッチのデ

ータと、入力された内部行アドレスAX3～AX(i-1)とが1ビットでも一致しないと、NチャネルMOSトランジスタ89、91またはNチャネルMOSトランジスタ93、95の一方が直列に導通する。これによって、ノードN1はLレベルに引かれるので、インバータ93の出力であるMISS<0>はHレベルになりリードミスのフラッグが立つ。NチャネルMOSトランジスタ85、87によって新たなアドレスがラッチ回路に書込まれる。そのため、NチャネルMOSトランジスタ85、87は書込トランジスタとなる。

【0061】図4は、図1のロウ系アレイ制御回路およびロウデコードの回路図であり、特に、図4(a)は、ロウ系アレイ制御回路の回路図であり、図4(b)は、ロウデコードの回路図である。

【0062】図4を参照して、図示するロウデコードおよびロウ系アレイ制御回路は、図1に示すブロック#0に対応するものである。ロウ系アレイ制御回路において、5NANDゲート107には、信号MISS<0>と、クロック信号 ϕ_1 と、内部行アドレス信号/A X₀、/A X₁、/A X₂が入力されている。NANDゲート107の出力はインバータ109に入力され、インバータ109の出力は信号S1<0>として出力されるとともに、遅延回路111に入力される。

【0063】遅延回路111は、インバータ113、119と、MOSキャパシタ115、117とを含む。インバータ109の出力はインバータ113に入力され、インバータ113の出力側はインバータ119の入力側、MOSキャパシタ115、117の一方の電極に接続されている。MOSキャパシタ115の他方の電極は電源に接続され、MOSキャパシタ117の他方の電極は接地電位に接続されている。インバータ119の出力はインバータ121およびNANDゲート123に入力される。

【0064】インバータ121の出力は信号BLEQ<0>である。インバータ109の出力は、NANDゲート123、127にも入力されている。NANDゲート123の出力は、NANDゲート127に入力されるとともに、インバータ125にも入力されている。インバータ125の出力は信号RDE<0>である。

【0065】NANDゲート127の出力は、信号SON<0>であり、インバータ129に入力されるとともに、NチャネルMOSトランジスタ131のゲート電極に入力されている。インバータ129の出力は、PチャネルMOSトランジスタ135およびNチャネルMOSトランジスタ133のゲート電極にそれぞれ入力されている。NチャネルMOSトランジスタ131のソース／ドレインの一方は接地電位に接続され、PチャネルMOSトランジスタ135のソース／ドレインの一方は電源電位に接続されている。NチャネルMOSトランジスタ131およびPチャネルMOSトランジスタ135の他

方のソース／ドレインは、それぞれNチャネルMOSトランジスタ133のソースまたはドレインのそれぞれに接続されている。そして、NチャネルMOSトランジスタ131とNチャネルMOSトランジスタ133の接続部から信号S2N<0>が出力され、NチャネルMOSトランジスタ133とPチャネルMOSトランジスタ135の接続部から信号S2P<0>が出力される。ロウ系アレイ制御回路で発生した信号RDE<0>は、ロウデコーダに入力されている。たとえば、内部行アドレス信号／AX3～／AX(i-1)が入力されるNANDゲート137には、信号RDE<0>も入力され、その出力はインバータ139に入力されている。インバータ139の出力はワード線WL0を活性化するかまたはしないかを表わす信号となる。同様に、ワード線WL1に対して内部行アドレス信号AX3、／AX4～／AX(i-1)および信号RDE<0>がNANDゲート141に入力され、その出力がインバータ143で反転されてワード線WL1を活性するか否かの信号WL1として出力される。同様に、このような内部行アドレスと信号RDE<0>がNANDゲートに入力されて、その出力がインバータで反転されてワード線を活性するか否かの信号が出力されている。

【0066】図5は、図1のクロック発生回路の回路図である。図5を参照して、外部制御信号Ext. ZRASがインバータ145に入力され、その出力はディレイ(図面ではdelayで表わす)回路147とNANDゲート149に入力されている。このインバータ145の出力はクロック信号φ₁として出力されている。ディレイ回路147の出力はNANDゲート155に入力されている。また、信号MISS<0>～MISS<7>はNANDゲート151に入力され、その出力はインバータ153に入力されて反転され、NANDゲート155に入力されている。NANDゲート151の出力はNANDゲート149にも入力されている。NANDゲート155、149の出力はNANDゲート157に入力され、その出力はNANDゲート159に入力されている。NANDゲート159の他の入力、外部制御信号Ext. ZCASがインバータ161で反転されて入力されている。NANDゲート159の出力はインバータ163で反転されてクロック信号φ₂として出力される。

【0067】図6は、図1のコラムデコーダの回路図である。図6を参照して、クロック発生回路で発生されたクロック信号φ₂がコラムデコーダに入力されている。たとえば、コラム選択線CSL0に対応するNANDゲート165にはクロック信号φ₂と内部列アドレス／AY0～／AY(i-1)が入力されて、その出力はインバータ167で反転されている。そして、インバータ167の出力がコラム選択線CSL0を活性化するか否かを決定している。同様に、NANDゲート169にはク

ロック信号φ₂と内部列アドレスAY0、／AY1～／AY(i-1)が入力され、その出力はインバータ171で反転されている。最後のコラム選択線CSL(2ⁱ-1)に対しては、NANDゲート173にクロック信号φ₂と内部列アドレスAY0～AY(i-1)が入力されて、その出力がインバータ175で反転されている。

【0068】図7および図8は、図1から図6に示した回路の動作を説明するためのタイムチャートである。

【0069】図7および図8を参照して、以下、図1から図6に示した回路の動作を詳細に説明する。まず、リードヒットについて説明する。時刻t₀に外部入力である外部制御信号Ext. ZRAS, Ext. ZCASがHレベルからLレベルに変化する。そして、このとき外部ロウアドレスX、外部コラムアドレスYが選択される。そして、図5に示すクロック発生回路のクロック信号φ₁がHレベルになる。リードヒット時において、タグメモリ部29の出力である信号MISS<0:7>の4ビットすべてがLレベルのため、図5に示すクロック信号φ₂はHレベルになる。信号MISS<0:7>の4ビットがLレベルであるため、図4(a)に示すロウ系アレイ制御回路の出力である制御信号S1<0>はLレベル、制御信号BLEQはHレベル、制御信号RDEはLレベル、制御信号SON<0>はHレベル、制御信号S2PはHレベル、制御信号S2NはLレベルに保たれる。

【0070】メモリセルアレイMC0とセンスアンプ45とイコライズするためのNチャネルMOSトランジスタ57、入出力線対IO、ZIOとセンスアンプ45等を接続するNチャネルMOSトランジスタ37、38、ビット線対BL1、ZBL1とセンスアンプ45とを接続するNチャネルMOSトランジスタ49、51とからなるセンスアンプ部A0について着目する。

【0071】待機時、センスアンプ部A0には、タグメモリ部に保存された行アドレスに対するデータが保存されている。図2に示す制御信号S1<0>がLレベルのため、NチャネルMOSトランジスタ49、51とがオフ状態となっている。したがって、メモリセルアレイMC0とセンスアンプ部A0とが分離されている。また、制御信号BLEQ<0>がHレベルのため、NチャネルMOSトランジスタ57等がオン状態となっている。したがって、ビット線対BL1、ZBL1等は同電位にイコライズされた状態になっている。また、メモリセルアレイMC0中のワード線はすべてLレベルになって、プリチャージ状態となっている。

【0072】リードヒット時は、待機時にセンスアンプにあるデータが読出データとなるので、図4(a)に示されるようなロウ系アレイ制御回路は動作していない。クロック信号φ₂がHレベルになったのを受けて、外部コラムアドレスYに対応するコラム選択線CSL0がH

レベルとなり、NチャネルMOSトランジスタ37, 39がオンする。したがって、センスアンプ45のデータは入出力線対IO, OIOに伝わり、データが読出される。

【0073】次に、リードミス時およびライト時を説明する。図6に示す動作では、ライト時においては、外部ロウアドレスがタグメモリ部に保存されたロウアドレスと一致するか否かにかかわらず、センスアンプおよびメモリセルアレイにデータが書込まれる。このような場合をライトスルー方式と呼ぶ。このため、ライトスルー方式では、センスアンプに保持されるデータとメモリセルのデータとの一致性、すなわちキャッシュコヒーレンシーが容易に保たれている。

【0074】時刻t2に外部制御信号Ext, ZRAS, Ext, ZCASがLレベルとなると、外部ロウアドレスX, 外部コラムアドレスYが取込まれる。入力されたロウアドレスXがメモリセルアレイMC0に対応していない場合を示す。クロック信号φ1がLレベルの間に、タグメモリ部29のノードN1はプリチャージされている。そして、時刻t3にクロック信号φ1がHレベルとなつて、プリチャージは終了する。タグメモリ部29は、ロウアドレスAXが入力されることにより、ヒットまたはミスの判定が行なわれる。すなわち、ロウアドレスAXがタグメモリ部29に保存されたロウアドレスと一致しないようなリードミス時においては、信号MISS<0>はHレベルになる。

【0075】この信号MISS<0>がHレベルになったことにより、時刻t4に信号S1<0>はHレベルになる。したがって、メモリセルアレイMC0とセンスアンプ部A0はNチャネルMOSトランジスタ49, 51等がオンすることにより接続される。また、センスアンプを駆動するための信号SONはLレベルのため、センスアンプ45等のノードS2P, S2Nは同電位にイコライズされている。そして、信号BLEQ<0>は遅延回路111によって生じる時刻t5までHレベルなので、NチャネルMOSトランジスタ57等を通じてセンスアンプ部A0に保存されていたデータがリセットされる。

【0076】時刻t5に信号BLEQ<0>がLレベルになると、信号RDEはHレベルになる。そこで、選択されたワード線WL<0>がHレベルとなる。選択されたメモリセルからビット線対BL1, ZBL1にデータが読出されると、センスアンプを駆動するための信号SONは再びHレベルとなる。したがって、センスアンプのノードS2PはHレベル、S2NはLレベルとなるので、ビット線対の読出データが増幅される。

【0077】メモリセルから読出されたデータがセンスアンプで増幅されたと思われる時刻t6にクロック信号φ2はHレベルになる。選択されたコラム選択線CSL0はHレベルになり、読出データが入出力線対IO, Z

IOに伝わる。

【0078】外部制御信号Ext, ZRASがHレベルになった時刻であるt7において、信号S1<0>がLレベルとなつて、センスアンプ部A0とメモリセルアレイMC0とが分離される。この後、選択されたワード線がLレベルとなり、時刻t8に信号BLEQ<0>がHレベルとなつて、ビット線対は同電位にイコライズされる。このとき、センスアンプ部A0とメモリセルアレイMC0とは分離されているので、読出されたデータはセンスアンプ部A0に保存されたままとなっている。これに対応するように、タグメモリ部29には、センスアンプ部A0に保存されたデータに対応するロウアドレスが新たに保持されることになる。

【0079】ライト時においては、入出力線対IO, ZIOに書込データがドライブされている。たとえば選択されるコラム選択線CSL0がHレベルになると、センスアンプ45およびビット線対BL1, ZBL1に書込データが伝わって、メモリセルにデータは書込まれる。ロウ系アレイ制御回路から出力される制御信号は、リードミス時の場合と同様な動作を行なう。

【0080】このようにリードヒット時はデータがセンスアンプから直接読出されるので、データのアクセス時間は速くなっている。また、センスアンプにあるデータとメモリセルのデータとの一致性が保たれるために、ライトスルー方式が用いられている。ライト動作においては、タグメモリ部のアドレスと入力されるアドレスとが一致するか否かにかかわらず、メモリセルまで必ず直接書込まれている。

【0081】ところで、第1の実施例においては、ライトヒット時においてメモリセルにまで書込むため、その分アクセスの時間が遅くなっている。従来例で示した半導体記憶装置においては、スタンバイ時においてメモリセルアレイとセンスアンプはつながっており、ワード線も活性化されていたので、ライトスルー方式においてヒットした場合は、図1から図6に示す実施例の場合よりも従来例の方が速い。そこで、以下、ライト時において、タグメモリ部に保持されたアドレスと入力されるアドレスが一致するヒット時では、センスアンプ部のデータのみを書換える実施例を説明する。

【0082】図9は、この発明の第2の実施例による半導体記憶装置の第1の実施例と異なる部分の回路図である。

【0083】まず、概念的な説明をする。ライト時にタグ回路のアドレスと一致するようなヒット時では、センスアンプのデータだけが書換えられる。そして、リードミスまたはライトミスのようにセンスアンプにあるデータをメモリセルから読出したデータに置換える動作時において、センスアンプのデータが以前のライトヒットの際に書換えられていたら、最初にセンスアンプのデータが対応するメモリセルに書込まれる。そして、次にロウ

アドレスに対応するメモリセルからデータがリードまたはロウアドレスに対応するメモリセルにデータがライトされる。

【0084】このような方式では、リードヒット時においてはもちろんのこと、ライトヒット時においてもセンスアンプのみにデータが書込まれるので、ヒット時の書込所要時間が短くなる。また、リードミスまたはライトミスにおいて、センスアンプのデータはメモリセルにまで書直されているので、センスアンプにあるデータとメモリセルのデータの一致性は保たれている。このような方式をライトコピーバックと呼ぶ。

【0085】図9を参照して、ライト変更ビット発生回路174において、外部ライト制御信号Ext. ZWEがインバータ176に入力される。インバータ176の出力は3NORゲート180に入力される。3NORゲート180の他の入力には、内部行アドレス信号/AX0, /AX1, /AX2が入力される3NANDゲート178の出力と信号MISS<0>とが入力されている。信号MISS<0>はS-Rフリップフロップ182のリセット端子Rに入力されている。3NORゲート180の出力はS-Rフリップフロップ182のセット端子S2に入力されている。S-Rフリップフロップ182の出力端子Qからセンスアンプのデータとメモリセルアレイのデータとが一致するか否かを表わす信号W0-Bitが出力される。

【0086】同様に、外部ライト制御信号Ext. ZWEがインバータ176で反転されて3NORゲート186に入力されている。3NORゲート186には、行アドレス信号AX0, /AX1, /AX2が入力される3NANDゲート184の出力と信号MISS<1>とが入力されている。信号MISS<1>は、S-Rフリップフロップ188のリセット端子Rに入力されている。3NORゲート186の出力はS-Rフリップフロップ188のセット端子Sに入力されている。S-Rフリップフロップ188の出力端子Qから信号W1-Bitが出力されている。

【0087】最終的なS-Rフリップフロップ194に対しては、セット端子Sに3NORゲート192の出力が入力され、リセット端子Rに信号MISS<7>が入力されて、出力端子Qから信号W3-Bitが出力されている。3NORゲート192の入力は、外部ライト制御信号Ext. ZWEがインバータ176で反転された信号と、行アドレスAX0, AX1, AX2が入力される3NANDゲート190の出力と、信号MISS<7>とである。

【0088】このようなライト変更ビット発生回路174の出力であるライト変更ビットWi-Bit (i = 0, 1, ..., 7) は、図1に示すセンスアンプ部Aiに対応している。ここで、ライト変更ビットがHレベルのときは、センスアンプのデータが書換えられたことを示

す。図1に示すブロック#0に対応するロウアドレス (AX0, AX1, AX2) = (0, 0, 0)、ブロック#1に対応するロウアドレス (1, 0, 0) に示されるように、ロウアドレスの下位の3ビットが対応づけられている。外部ライト動作制御信号Ext. ZWEがLレベルとなって、ライト動作が始まる。図1のブロック#0に対応するロウアドレス (0, 0, 0) が入力され、タグメモリ部からの出力である信号MISS<0>がHレベルで、タグメモリ部にあるアドレスの内部アドレスとが一致した場合には、S-Rフリップフロップ182のセット入力がHレベルになる。そのため、S-Rフリップフロップ182はセットされて、出力信号W0-BitはHレベルになる。

【0089】このように、ライトヒット動作によって、センスアンプのデータのみが書換えられ、メモリセルアレイのデータとの一致性がないことは、W0-BitがHレベルとなることにより表わされている。そのため、図9に示すようなライト変更ビット発生回路174を図1に示す半導体記憶装置に付加することで、ライトコピーバック機能が実現される。

【0090】図10は、図9に示したライト変更ビット発生回路を備えた第2の実施例による半導体記憶装置の動作を説明するための第1のタイムチャートであり、図11は、図9に示した回路を備えた第2の実施例による半導体記憶装置の動作を説明するための第2のタイムチャートであり、図12は、図9に示した回路を備えた第2の実施例による半導体記憶装置の動作を説明するための第3のタイムチャートである。

【0091】以下、図10を用いてリードヒットおよびライトヒットの動作を説明し、図11を用いてライト変更なしのリードミスおよびライトミスの動作を説明し、図12を用いてライト変更ありのリードミスおよびライトミスの動作を説明する。

【0092】まず、図10を参照して、外部制御信号Ext. ZRAS, Ext. ZCAS信号の立下がり、外部アドレスExt. Add. X, Yが取込まれる。下位3ビット以外の入力される内部アドレスがタグメモリ部にあるアドレスと一致すると、タグメモリ部の出力である信号MISSはLレベルのままでヒット状態になる。このとき、ロウ系アレイ制御信号S1, BLEQ, SON, WLとが待機状態と同じ状態に保たれる。そして、外部アドレスYに対応するコラム選択線CSLがHレベルとなって、センスアンプにあるデータが入出力線対IO, ZIOに読出される。

【0093】一方ライトヒットでは、入出力線対IO, ZIOにライトデータ (Lレベルのデータ) がドライブされており、対応するコラム選択線CSLがHレベルになると入出力線対IO, ZIOの書込データがセンスアンプに書込まれる。したがって、センスアンプのノードB, ZBがそれぞれB=Lレベル、ZB=Hレベルとな

る。このように、図10では、センスアンプにあるデータがHレベルからLレベルに書換えられた場合が示されている。

【0094】次に、図11を参照して、ライト変更なしのリードミスおよびライトミスの動作を説明する。この動作は、図7および図8に示したリードミスおよびライトミスの場合の動作と同じである。入力されたロウアドレスに対してタグメモリ部の保持するロウアドレスが一致しないミス時においては、信号MISSはHレベルになる。センスアンプのデータはイコライズされてリセットされている。さらに、信号S1はHレベルとなるので、センスアンプ部AiとメモリセルアレイMCiは接続される。選択されたメモリセルからデータが読出され、またはメモリセルにデータが書込まれる。

【0095】次に、図12および図2を用いてライト変更有りのリードミスおよびライトミスの動作を説明する。リードミスまたはライトミスの場合には、外部アドレスが入力されると、時刻t0に信号MISS<0>はHレベルとなる。そして、図9に示すライト変更ビット発生回路のライト変更ビットWO-BitがHレベルで、以前にライトヒット動作が行なわれており、対応するセンスアンプ部A0にあるデータが書換えられているとする。その場合、信号S1<0>はHレベルで、メモリセルアレイMC0内のビット線対IO、ZIOがNチャネルMOSトランジスタ49等によって、センスアンプ部A0に接続される。信号BLEQ<0>がLレベルで、ビット線対BL1、ZBL1がイコライズ状態から解除され、センスアンプ部A0のデータがビット線対に伝わる。そして、選択されたワード線WL<0>がHレベルとなって、対応するメモリセルにセンスアンプにあったデータが書込まれる。

【0096】書換動作が終了すると、時刻t1に選択されたワード線がLレベルとなる。その後、センスアンプ駆動信号SON<0>はLレベル、イコライズ信号BLEQ<0>はHレベルとなって、センスアンプ部およびビット線対はイコライズ状態になり、データがリセットされる。

【0097】次に、入力された外部アドレスに対してメモリセルからリードまたはライトの動作が行なわれる。時刻t2に信号BLEQ<0>がLレベルとなって、イコライズ状態から解除されると、たとえば外部アドレスに対応するワード線WL1はHレベルとなる。したがって、ビット線対BL1、ZBL1にメモリセルからのデータが読出される。センスアンプ駆動信号SON<0>はHレベルであるので、センスアンプ45でデータは増幅される。

【0098】時刻t3にコラム選択線CSL0が選択され、入出力線対IO、ZIOにデータは読出される。時刻t4に、外部信号Ext、ZRASはHレベルとなつて、1つのサイクルが終了すると、信号S1<0>はL

レベルとなる。したがって、NチャネルMOSトランジスタ49等はオフするので、センスアンプ部A0はメモリセルアレイMC0と分離される。

【0099】この後、信号BLEQ<0>はHレベルになって、メモリセルアレイMC0中のビット線対がイコライズされる。ここで、センスアンプ部A0とメモリセルアレイMC0とは分離されているので、読出データはサイクル終了後でもセンスアンプ部A0に保持されている。

【0100】ライト時では、時刻t3にコラム選択線CSL0がHレベルとなると、入出力線対IO、ZIOにドライブされている書込データがビット線対BL1、ZBL1に伝わって、メモリセルに書込まれる。

【0101】次に、第1の実施例および第2の実施例による効果について説明する。CPUがメモリをアクセスする平均時間である平均メモリアクセス時間を t_{av} とする。この平均メモリアクセス時間 t_{av} は、(1)式のように表わされる。

$$t_{av} = (\text{ヒット率}) \times t_{\text{ヒット}} + (\text{ミス率}) \times t_{\text{ミス}} \quad (1)$$

ただし、 $t_{\text{ヒット}}$ は、ヒット時のリードアクセス時間であり、 $t_{\text{ミス}}$ は、ミス時のアクセス時間である。ゆえに、第1および第2の実施例で示したように $t_{\text{ミス}}$ が高速化すると、全体の t_{av} は高速化されるので、システム全体の性能が向上される。

【0103】特に、第2の実施例においては、ライトヒットの場合において、センスアンプにのみデータが書込まれるので、高速にアクセスされる。すなわち、たとえばビット線の書込の際に、フルスイングする必要が従来例に比べてなくなるので、その分だけ高速にアクセスが行なわれる。

【0104】図13は、この発明の第3の実施例による半導体記憶装置の主要部概略ブロック図である。この実施例においては、センスアンプ部Aiに対して2つのメモリセルアレイMCia、MCibが隣接して設けられている。すなわち、ブロック#0においては、センスアンプ部A0の左側にメモリセルアレイMC0aが設けられ、右側にメモリセルアレイMC0bが設けられる。他のブロック#i (i=1, ..., N)に対しても同様である。これらのブロック#iに対して図1に示した装置がそれぞれ設けられている。図13では、特に、ロウ系アレイ制御回路およびロウデコーダ177と、タグメモリ部181と、行アドレスバッファ179が示されている。タグメモリ部181は、ブロックの数に対応して、N+1のライン数で形成されている。

【0105】図14は、図13のブロック#3の内部構成を示す回路図である。図14を参照して、センスアンプ部A3は、メモリセルアレイMC3bのビット線対BL、ZBLをイコライズするためのNチャネルMOSトランジスタ199と、センスアンプ187と、センスア

ンプ 187 と入出力線対 IO3, ZIO3 とを接続するための N チャンネル MOS トランジスタ 183, 185 と、メモリセルアレイ MC3a とセンスアンプ 187 とを接続するための N チャンネル MOS トランジスタ 189, 191 と、メモリセルアレイ MC3a のビット線対をイコライズするための N チャンネル MOS トランジスタ 193 とを備えている。

【0106】N チャンネル MOS トランジスタ 199 のゲートには、メモリセルアレイ MC3b のビット線をイコライズするための制御信号 BLEQb<3> が入力されている。N チャンネル MOS トランジスタ 195, 197 のゲートには制御信号 S1b<3> が入力されている。N チャンネル MOS トランジスタ 183, 185 のゲートには、コラムデコードからの出力信号 CSL0 が入力されている。N チャンネル MOS トランジスタ 189, 191 のゲートには制御信号 S1a<3> が入力されている。N チャンネル MOS トランジスタ 193 のゲートには、メモリセルアレイ MC3a のビット線をイコライズするための制御信号 BLEQa<3> が入力されている。

【0107】なお、メモリセルアレイ MC3a, MC3b のそれぞれは、メモリセルを有している。メモリセルは、メモリセルキャパシタ 203 とメモリセルトランジスタ 201 で形成されている。

【0108】図 14 を参照して動作について簡単に説明する。メモリセルアレイ MC3b が選択された場合、信号 S1a<3> は L レベルであり、N チャンネル MOS トランジスタ 189, 191 はオフ状態である。したがって、センスアンプ部 A3 とメモリセルアレイ MC3a は分離されている。また、信号 BLEQa<3> も H レベルのままであり、メモリセルアレイ MC3a のビット線対はイコライズされた状態であり、待機状態が保たれる。そこで、メモリセルアレイ MC3a 側が待機時の状態が保たれるので、メモリセルアレイ MC3b に対してリードまたはライトの動作が行なえる。

【0109】このメモリセルアレイ MC3b に対しての動作方法は、第 1 の実施例および第 2 の実施例で示した動作と全く同じである。そのため、ロウ系の各アレイ制御信号として、たとえば信号 S1<0>, SON<0> が信号 S1b<0>, SONb<0> に置換えられ、選択されていない一方の信号 S1a<0>, SONa<0> などは待機状態に保たれる。

【0110】この実施例の効果としては、センスアンプ部および入出力線対をメモリセルアレイ MCia, MCib とが共有するので、レイアウト面積が小さくなることである。

【0111】図 15 は、この発明の第 5 の実施例による半導体記憶装置の主要部概略ブロック図であり、図 16 は、図 15 の LRU (Least Recently Used) レジスタを示した図である。

【0112】図 15 および図 16 を参照して、第 1 および第 2 の実施例と異なり、センスアンプ部が 1 つのメモリセルアレイにのみ共有されてブロックが形成されるのではなく、2 つのメモリセルアレイが 1 つのセンスアンプ部を共有している。構成としては、メモリセルアレイ MCi 間にセンスアンプ部 Ai が設けられている。すなわち、たとえばメモリセルアレイ MC0 とメモリセルアレイ MC1 との間にセンスアンプ部 A0 が設けられ、メモリセルアレイ MC1 とメモリセルアレイ MC2 との間にセンスアンプ部 A1 が設けられている。最終的なメモリセルアレイ MC4 とメモリセルアレイ MC5 との間にはセンスアンプ部 A4 が設けられている。

【0113】このような 2 つのメモリセルアレイが 1 つのセンスアンプ部を共有するため、ブロックは曖昧になっている。メモリセルアレイ MCi およびセンスアンプ部 Ai に対してロウ系制御回路およびロウデコード 205 が設けられている。センスアンプ部 Ai に対応してタグメモリ部が設けられる。すなわち、センスアンプ部 A0 に対してはタグメモリ部 (TAG0) 207 が設けられ、センスアンプ部 A1 に対してはタグメモリ部 (TAG1) 209 が設けられ、センスアンプ部 A2 に対してはタグメモリ部 (TAG2) 211 が設けられ、センスアンプ部 A3 に対してはタグメモリ部 (TAG3) 213 が設けられ、センスアンプ部 A4 に対してはタグメモリ部 (TAG4) 215 が設けられる。

【0114】タグメモリ部は各センスアンプ部の保持するデータに対応した行アドレスを記憶するので、各センスアンプ部が 2 つのメモリセルアレイのデータを保持するために、いずれのメモリセルアレイのデータがセンスアンプ部に保持されているかを判定する判定手段が必要とされる。そこで、図 16 に示すような S-R フリップフロップ 217a で形成される LRU レジスタがそれぞれのタグメモリ部に対して 2 つ必要とされる。すなわち、タグメモリ部 207 に対して 2 つの LRU レジスタ 217 が設けられ、タグメモリ部 209 に対して 2 つの LRU レジスタ 219 が設けられ、タグメモリ部 211 に対して 2 つの LRU レジスタ 221 が設けられ、タグメモリ部 213 に対して 2 つの LRU レジスタ 223 が設けられ、タグメモリ部 215 に対して 2 つの LRU レジスタ 225 が設けられる。

【0115】図 17 は、図 15 のセンスアンプ部 A1 ~ A3 およびメモリセルアレイ MC1 ~ MC3 の回路図である。以下、図 15 のセンスアンプ部 Ai がメモリセルアレイ MCi およびメモリセルアレイ MC(i+1) に共有されていることについて詳細に説明する。

【0116】センスアンプ部 A1 は、センスアンプ 247 と、センスアンプ 247 とメモリセルアレイ MC1 とを分離または接続する N チャンネル MOS トランジスタ 227, 229 と、入出力線対 IO1, ZIO1 とセンスアンプ 247 とを接続または分離する N チャンネル MOS

トランジスタ249, 251と、メモリセルアレイMC2とセンスアンプ247とを分離または接続するNチャネルMOSトランジスタ231, 233と、ビット線対をイコライズするためのNチャネルMOSトランジスタ253とを含む。

【0117】NチャネルMOSトランジスタ227, 229のゲートには、制御信号S1b<1>が入力されている。NチャネルMOSトランジスタ249, 251のゲートには、コラムデコーダからの出力である信号CSL0が入力されている。NチャネルMOSトランジスタ253のゲートには、制御信号BLEQ<1>が入力されている。

【0118】センスアンプ部A2は、センスアンプ部260と、センスアンプ部260とメモリセルアレイMC2とを接続または分離するNチャネルMOSトランジスタ237, 239と、入出力線対IO2, ZIO2とセンスアンプ260とを接続または分離するNチャネルMOSトランジスタ255, 257と、センスアンプ260とメモリセルアレイMC3とを接続または分離するNチャネルMOSトランジスタ241, 243と、ビット線対をイコライズするNチャネルMOSトランジスタ259とを含む。

【0119】NチャネルMOSトランジスタ237, 239のゲートには、制御信号S1a<2>が入力されている。NチャネルMOSトランジスタ255, 257のゲートには、コラムデコーダからの制御信号CSL0が入力されている。NチャネルMOSトランジスタ241, 243のゲートには、制御信号S1b<2>が入力されている。NチャネルMOSトランジスタ259のゲートには、制御信号BLEQ<2>が入力されている。

【0120】なお、各メモリセルアレイMCiは、メモリセルを有する。たとえばメモリセルアレイMC2は、メモリセルトランジスタ235と、メモリセルキャパシタ236とでメモリセルを形成している。同様に、メモリセルアレイMC3は、メモリセルトランジスタ245とメモリセルキャパシタ246とでメモリセルを形成している。

【0121】次に、図17の動作を簡単に説明する。たとえば、メモリセルアレイMC2の2列分のデータをセンスアンプ部A1, A2は保持できる。また、センスアンプ部A1は、メモリセルアレイMC1の1行分のデータを保持し、センスアンプ部A2は、メモリセルアレイMC2の1行分のデータを保持することもできる。また、たとえばメモリセルアレイMC3が頻繁にアクセスされる場合には、メモリセルアレイMC3の2列分のデータがセンスアンプ部A2, A3に保持されてもよい。また、ヒット率は向上する。また、メモリセルアレイMC3の1行分のデータをセンスアンプ部に保持する際に、各センスアンプ部に対してLRUレジスタが図15に示されるように2個ずつ設けられることで、センスアンプ部A

2, センスアンプ部A3のうち最近アクセスされなかった方にメモリセルから読出されたデータが保持されれば、さらにヒット率は向上する。

【0122】図18は、図15から図17に示した実施例の動作を説明するためのフローチャートである。

【0123】図18を参照して、ステップ（図面ではSで表わす）1からステップ2において、タグメモリ部211に保持されているアドレスとメモリセルアレイMC2に対応するロウアドレスX2が一致したとする。ステップ3において、LRUレジスタ#1から#3の状態は、破線で囲まれたような状態に変化する。すなわち、センスアンプ部A2が最近アクセスされたデータを保持することになるので、LRUレジスタ#2の両2ビットは1にセットされる。センスアンプ部A2のデータと新旧を比較するための対応するLRUレジスタ#1の右側のビットとLRUレジスタ#3の左側のビットは0にセットされている。ここで、LRUビットが1のときには、隣のセンスアンプ部にあるデータより最近アクセスされたことが示されている。

【0124】次に、ステップ4において、メモリセルアレイMC2に対応した外部ロウアドレスで、ステップ5に示すようにTAG1, 2にあるアドレスと一致しないアドレスX2'がアクセスされたとする。このとき、メモリセルアレイMC2に対応するLRU#1の右ビットとLRU#2の左ビットとが比較される。LRU#1の右ビットは0であり、LRU#2の左ビットが1なので、センスアンプ部A2の方がセンスアンプ部A1より最近アクセスされたことになる。したがって、TAG1にアドレスX2'が書込まれ、センスアンプ部A1にメモリセルアレイMC2の選択された1行分のデータがステップ6に示すように保持される。

【0125】センスアンプ部A1, A2, A3の新旧の関係が変わったので、ステップ7に示すように、破線内のLRUレジスタの状態はセットされる。この時点では、センスアンプ部A1のデータが最も最近アクセスされたことになるので、LRU#1の両2ビットは1に、LRU#0の右ビットおよびLRU#2の左ビットは0にセットされる。そして、次のアクセスが継続される。

【0126】図19は、図18に示したフローチャートに対応するタイムチャートである。図17～図19を参照して、ステップ1およびステップ2において、TAGの保持する行アドレスと外部行アドレスが一致すると、センスアンプ部A2のデータが読出される。信号S1a<2>, S1b<2>がともにLレベルで、センスアンプ部A2がメモリセルアレイMC2, MC3から分離されたままの状態であると、時刻t0にコラム選択線CSL0が選択されることにより、入出力線対IO2, ZIO2にセンスアンプ部A2の保持するデータが読出される。

【0127】次に、ステップ4からステップ6のリード

ミス時では、時刻 t_1 において、信号 $S1b<1>$ が H レベルとなって、NチャネルMOSトランジスタ 241, 243 を介してセンスアンプ部 A1 とメモリセルアレイ MC2 は接続される。そして、時刻 t_2 において、信号 $BLEQ<1>$ が L レベルになるまで、センスアンプ部 A1 の保持しているデータは NチャネルMOSトランジスタ 253 によってイコライズされる。時刻 t_3 において、ワード線 $WL1$ は H レベルとなって選択され、ビット線対 $BL1, ZBL1$ にメモリセルからのデータが読出される。センスアンプ 247 で増幅され、その内部ノード $B1, ZB1$ にデータは保持される。

【0128】データが十分増幅されてから、時刻 t_4 において、コラム選択線 $CSL0$ が選択され、入出力線対 $IO1, ZIO1$ にデータは読出される。

【0129】なお、リード、ライトの方法として、第1の実施例で説明したライトスルー方式、第2の実施例で示したライトコピーバック方式が適用されてもよい。

【0130】また、図15に示す構成においては、たとえばメモリセルアレイ MC2 に対して入出力ポートが両側にセンスアンプ部 A1, A2 の2つで構成されているので、2ポートから独立にリードまたはライトできるような2ポートメモリとしての機能も兼ね備えることになる。

【0131】図20は、この発明の第5の実施例による半導体記憶装置の特徴を示した概略ブロック図であり、図21は、図20に示した回路部分の動作を説明するためのタイムチャートである。

【0132】図20において、列アドレスバッファ 261 に外部列アドレス $Y0 \sim Y(i-1)$ が入力されるための入力端子が設けられている。この入力端子に外部列アドレス $Y0 \sim Y(i-1)$ が入力されることにより、列アドレスバッファ 261 は、内部列アドレス $AY0 \sim AY(i-1)$ を出力する。同様に、行アドレスバッファ 262 に対して外部行アドレス $X0 \sim X(i-1)$ が入力される必要があり、そのための端子も設けられる必要がある。また、入力バッファ 263 および出力バッファ 264 との間で入出力データの伝達を行なうための入出力端子も設けられる必要がある。

【0133】この実施例においては、行アドレスバッファ 262 に外部行アドレス $X0 \sim X(i-1)$ を入力するための入力端子と、入力バッファ 263 および出力バッファ 264 との間で入出力データの伝達を行なうための入出力端子と同一のものとする。その端子は、端子 $D00 \sim D0(i-1)$ である。この端子 $D00 \sim D0(i-1)$ に外部行アドレス $X0 \sim X(i-1)$ が入力されて行アドレスバッファ 262 は、内部行アドレス $AX0 \sim AX(i-1)$ を出力する。また、入力バッファ 263 には、外部信号 $Ext. ZWE$ が入力され、出力バッファ 264 には、外部信号 $Ext. ZOE$ が入力されている。

【0134】図21を参照して、リード時の外部制御信号について説明する。外部行アドレスは、外部信号 $Ext. ZRAS$ 信号の立下がり時のみ、入力されればよい。したがって、データがデータ入力端子に読出される前および書込データが入力される前にデータ入出力端子から行アドレスが入力されればよい。

【0135】このように外部行アドレスを入力するための端子と、入出力データのための端子とを同一にすることにより、外部列アドレス端子および外部行アドレス端子を別個に設ける必要がなくなる。したがって、その分だけ端子数は減少する。

【0136】

【発明の効果】以上のように、この発明によれば、行アドレスおよび列アドレスが入力される前の待機時において、センスアンプとメモリセルアレイのメモリセルとが分離されているので、センスアンプの保持するデータに対応する行アドレスと入力される行アドレスとが一致した場合には、センスアンプの保持するデータをたとえば直接読出すことができる。さらに、センスアンプの保持するデータに対応する行アドレスと入力される行アドレスとが一致しない場合には、イコライズ状態にされたビット線対を介して、メモリセルに保持されたデータをたとえば読出すことができる。

【図面の簡単な説明】

【図1】この発明の第1の実施例による半導体記憶装置の全体を示す概略ブロック図である。

【図2】図1のセンスアンプ部 A_i ($i=0, 1, \dots, 7$) およびメモリセルアレイ MC_i ($i=0, 1, \dots, 7$) の一例としてのセンスアンプ部 A0 およびメモリセルアレイ MC0 の回路図、ならびにコラムデコーダ、ロウ系アレイ制御回路およびロウデコーダのブロック図である。

【図3】図1のタグメモリ部の回路図である。

【図4】図1のロウ系アレイ制御回路およびロウデコーダの回路図である。

【図5】図1のクロック発生回路の回路図である。

【図6】図1のコラムデコーダの回路図である。

【図7】図1から図6に示した回路の動作を説明するためのタイムチャートである。

【図8】図1から図6に示した回路の動作を図7とともに説明するためのタイムチャートである。

【図9】この発明の第2の実施例による半導体記憶装置の第1の実施例と異なる部分の回路図である。

【図10】図9に示した回路を備えた第2の実施例による半導体記憶装置の動作を説明するための第1のタイムチャートである。

【図11】図9に示した回路を備えた第2の実施例による半導体記憶装置の動作を説明するための第2のタイムチャートである。

【図12】図9に示した回路を備えた第2の実施例によ

る半導体記憶装置の動作を説明するための第3のタイムチャートである。

【図13】この発明の第3の実施例による半導体記憶装置の主要部概略ブロック図である。

【図14】図13のブロック#3の内部構成を示す回路図である。

【図15】この発明の第4の実施例による半導体記憶装置の主要部概略ブロック図である。

【図16】図15のLRU (Least Recently Used) レジスタを示した回路図である。

【図17】図15のセンスアンプ部A1～A3およびメモセルアレイMC1～MC3の回路図である。

【図18】図15に示した装置の動作を説明するためのフローチャートである。

【図19】図18に示したフローチャートに対応するタイムチャートである。

【図20】この発明の第5の実施例による半導体記憶装置の特徴を示す概略ブロック図である。

【図21】図20に示した回路部分の動作を説明するためのタイムチャートである。

【図22】従来の4.5Mbitダイナミック(D)R

AM半導体記憶装置の概略ブロック図である。

【図23】図22の入出力端子DQi (i=0, 1, ..., 8) に対応して設けられる512Kセルアレイを示した概略ブロック図である。

【符号の説明】

MCi メモセルアレイ

Ai センスアンプ部

BL, ZBL ビット線対

WL ワード線

10 IO, ZIO 入出力線対

25 コラムデコーダ

27 ロウ系アレイ制御回路およびロウデコーダ

27a ロウ系アレイ制御回路

27b ロウデコーダ

29 タグメモリ部

31 行アドレスバッファ

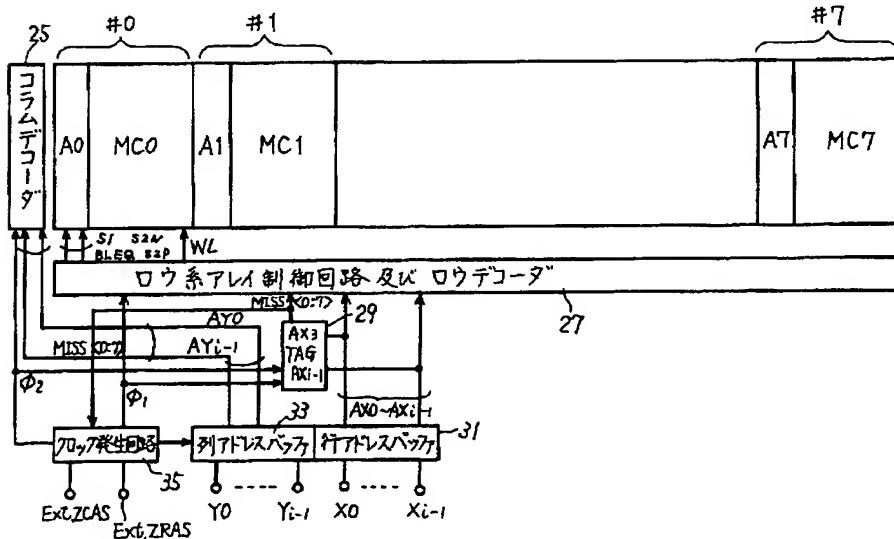
33 列アドレスバッファ

174 ライト変更ビット発生回路

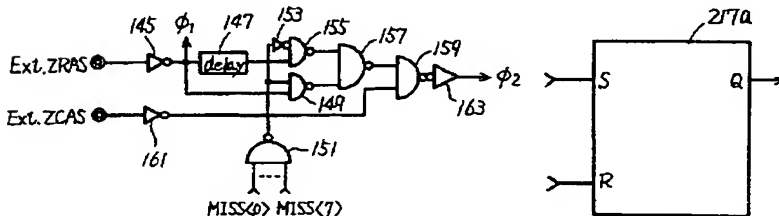
217, 219, 221, 223, 225 LRUレジ

20 スタ

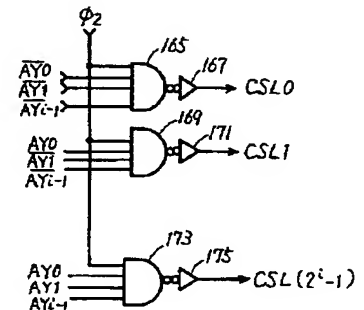
【図1】



【図5】

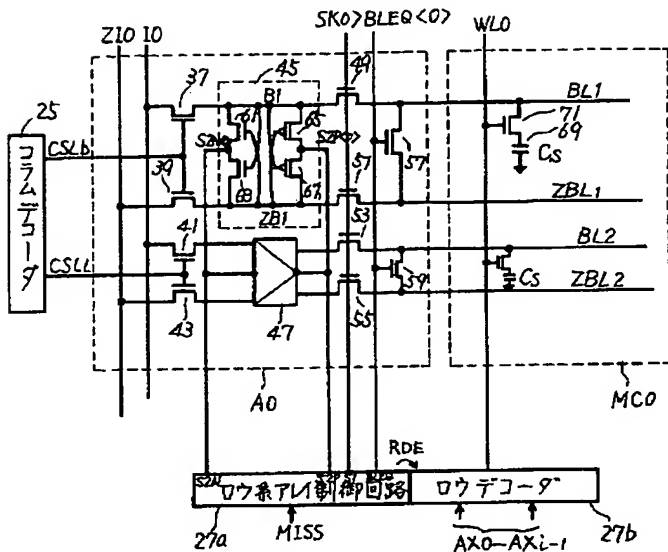


【図16】

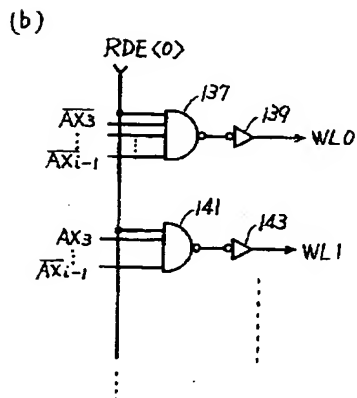
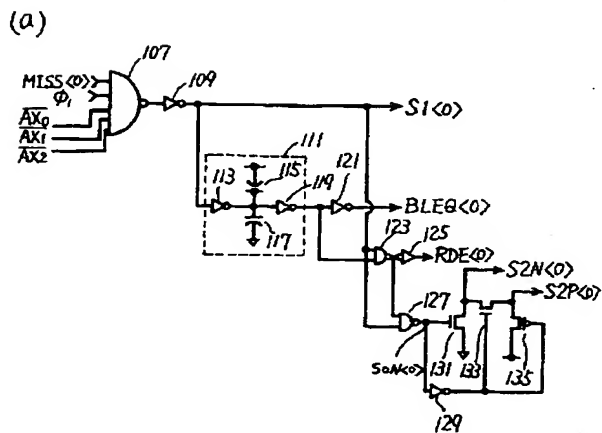


【図6】

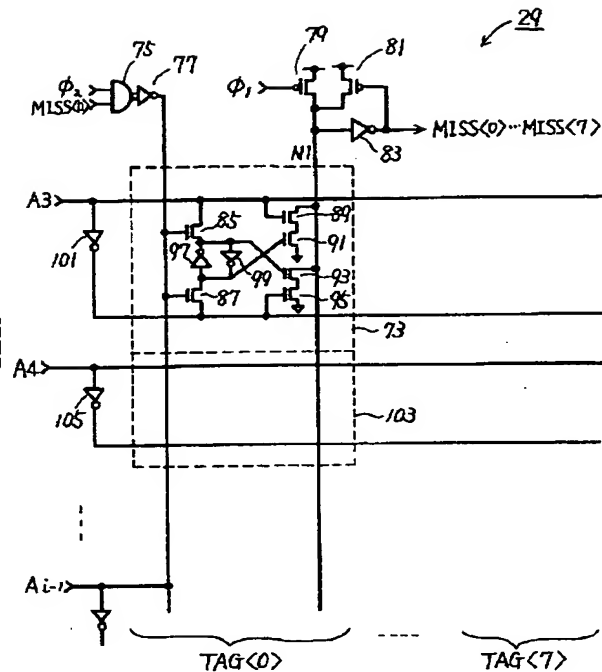
【図 2】



【図 4】

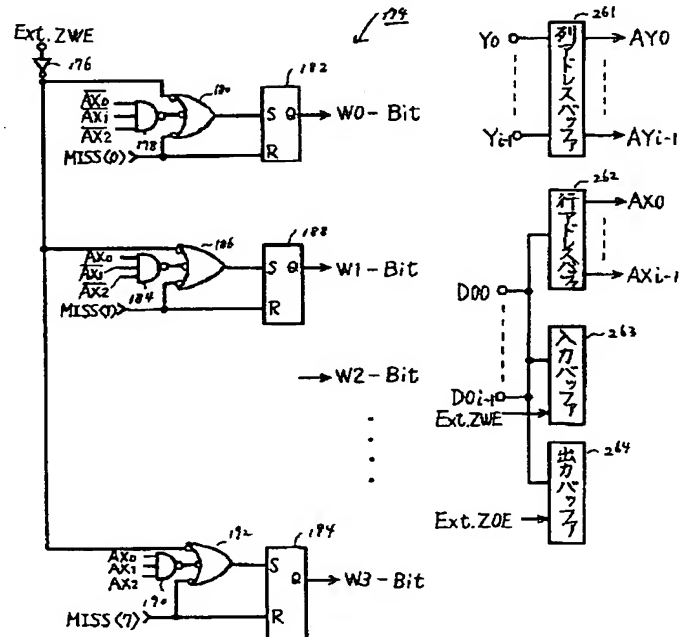


【図 3】

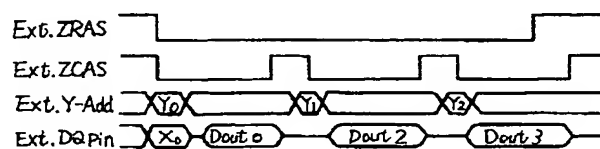


【図 9】

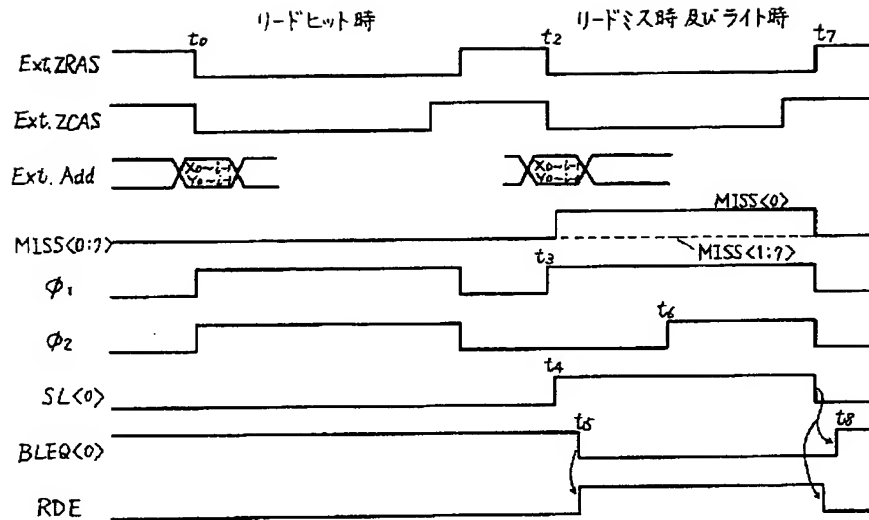
【図 20】



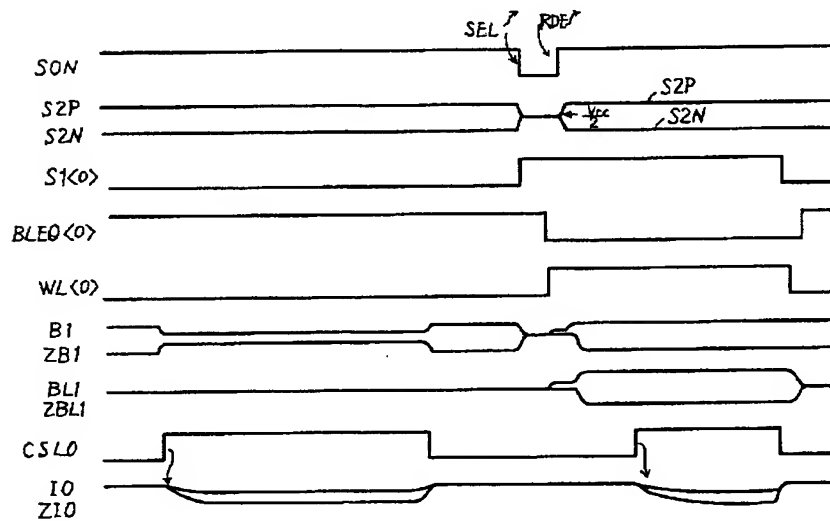
【図 21】



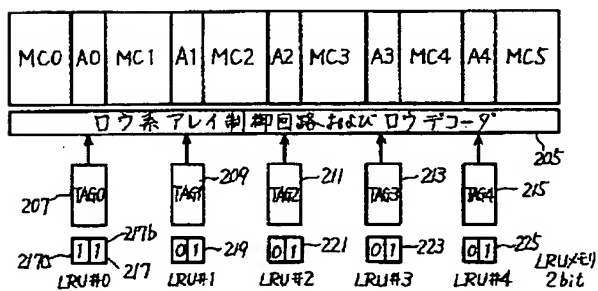
【図 7】



【図 8】

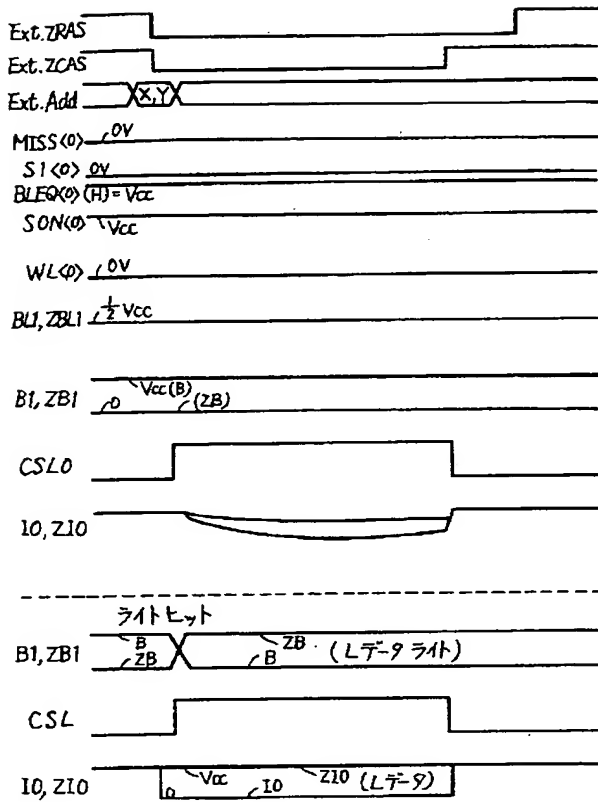


【図 15】



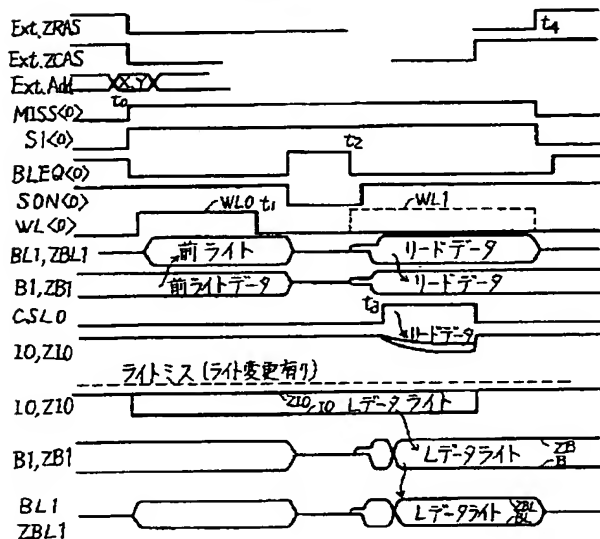
【図 10】

リードヒット (ライトバンプ)



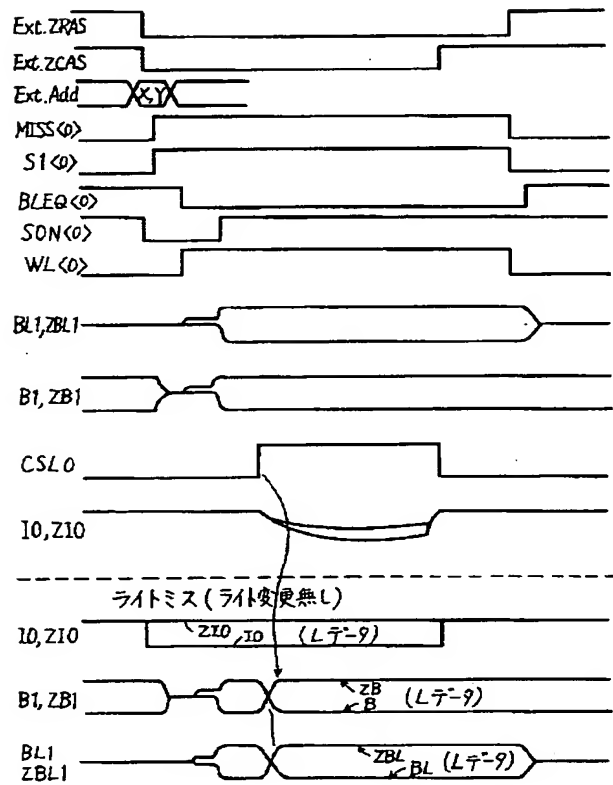
【図 12】

リードミス (ライト変更有り)

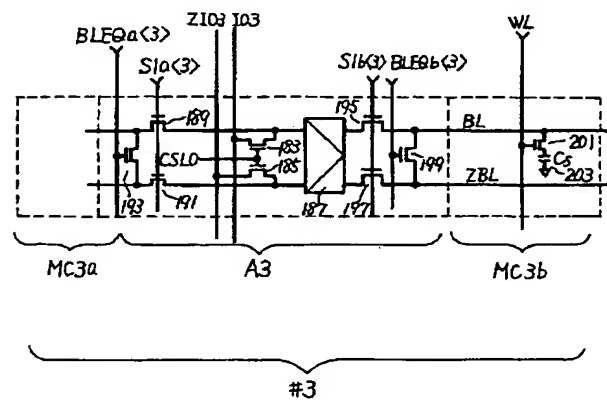


【図 11】

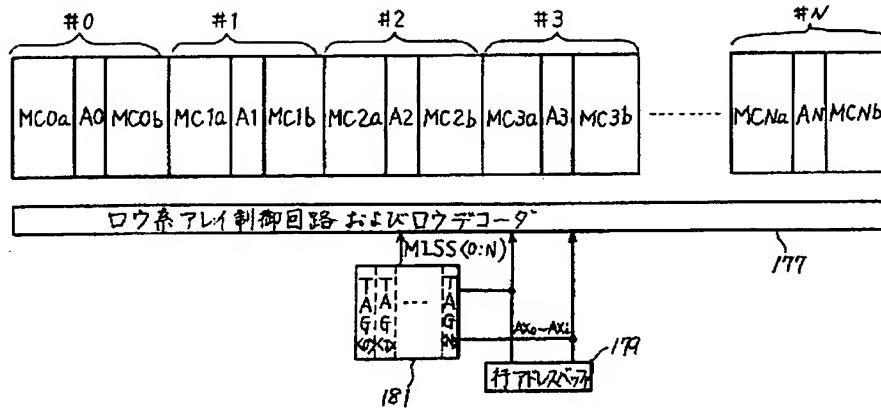
リードミス (ライト変更無し)



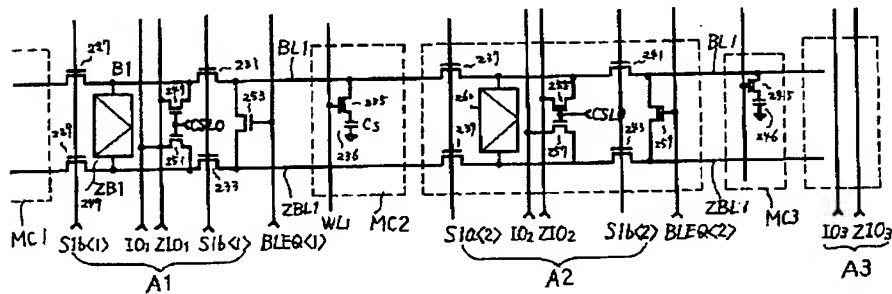
【図 14】



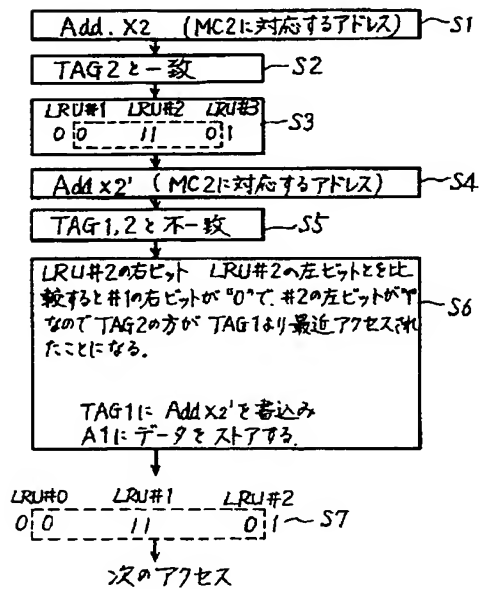
【図13】



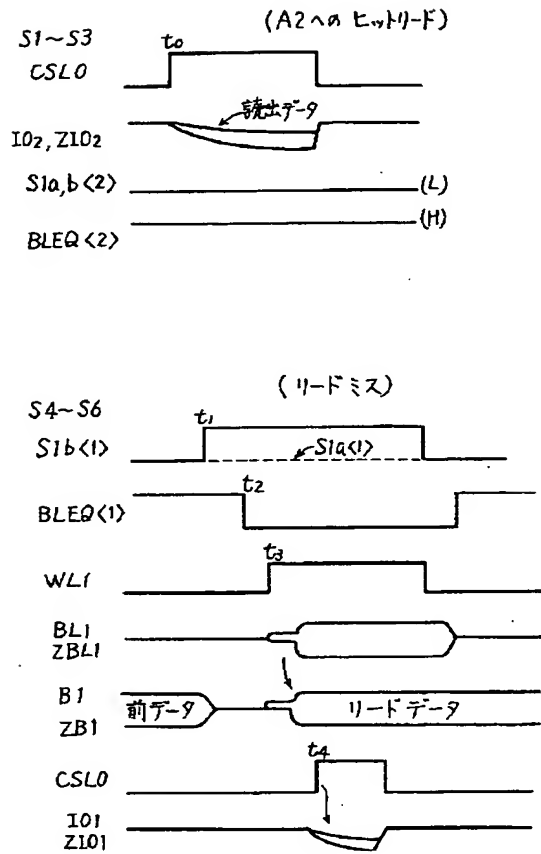
【図17】



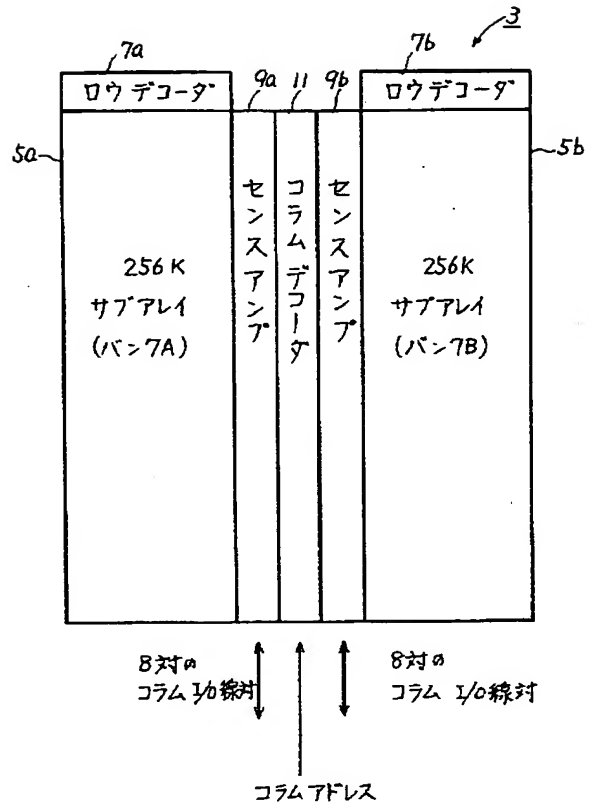
【図18】



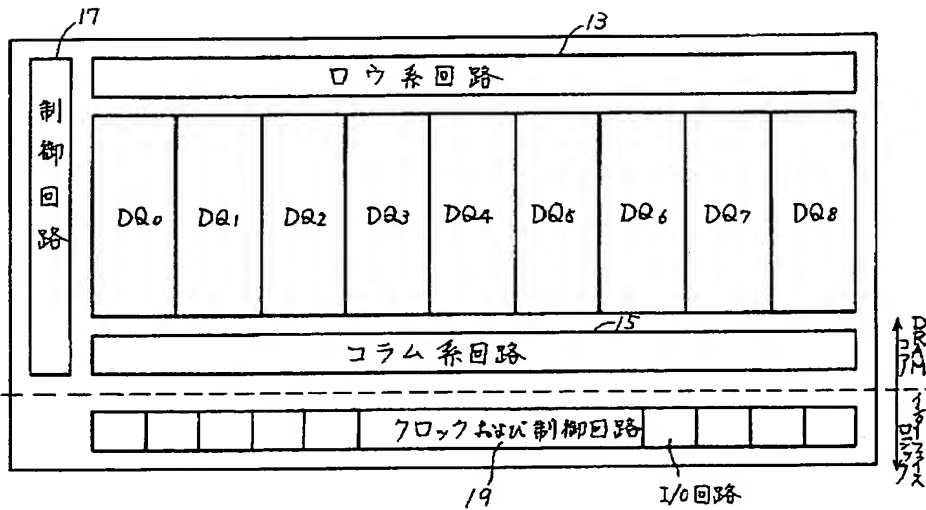
【図 19】



【図 23】



【図 22】



【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 4 区分
 【発行日】平成 13 年 10 月 12 日 (2001. 10. 12)

【公開番号】特開平 7-211062
 【公開日】平成 7 年 8 月 11 日 (1995. 8. 11)
 【年通号数】公開特許公報 7-2111
 【出願番号】特願平 6-1012
 【国際特許分類第 7 版】

G11C 11/401
 G06F 12/08 310

【F I】

G11C 11/34 362 C
 G06F 12/08 310 Z

【手続補正書】

【提出日】平成 12 年 12 月 26 日 (2000. 12. 26)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】 複数のメモリセルが行および列方向に配設されたメモリセルアレイと、
 各前記メモリセルの列方向に対応して設けられた複数のビット線対と、
 各前記メモリセルの行方向に対応して設けられた複数のワード線と、
 各前記ビット線対に接続され、かつ所定の行方向に配設されたメモリセルに対応するデータを保持する複数のセンスアンプを有するセンスアンプ部と、
 各前記センスアンプが保持しているデータに対応する行アドレスと入力される行アドレスとが同じであるか否かを判定する第 1 の判定手段と、
 各前記センスアンプに接続される入出力線対と、
 入力される列アドレスに応じて、各前記センスアンプを前記入出力線対に接続するコラムデコーダと、
 入力される行アドレスに応じて、行方向に配設されたメモリセルを指定するために前記ワード線を活性化するロウデコーダと、
 列アドレスおよび行アドレスが入力される前において、
 各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にし、さらに、前記第 1 の判定手段の出力に応じて、各前記センスアンプと各前記メモリセルとを接続するか否かを制御し、前記ビット線対をイコライズ状態にするか否かを制御する制御手段とを備えた、半導体記憶装置。

【請求項 2】 前記制御手段は、前記第 1 の判定手段が

読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが同じであると判定したことに応じて、各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にし、

前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項 1 記載の半導体記憶装置。

【請求項 3】 前記制御手段は、前記第 1 の判定手段が読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、

前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項 1 記載の半導体記憶装置。

【請求項 4】 前記制御手段は、前記第 1 の判定手段が書込のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが同じであるまたは異なると判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、

前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項 1 記載の半導体記憶装置。

【請求項 5】 前記制御手段は、前記第 1 の判定手段が書込のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが同じであると判定したことに応じて、各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にし、

前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項 1 記載の半導体記憶装置。

【請求項 6】 さらに、各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータが書換えられたか否かを判定する第 2 の判定手段とを備え、

前記制御手段は、前記第 1 の判定手段が書込または読出

のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ前記第2の判定手段が各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータが書換えられていないと判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、

前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項1または5記載の半導体記憶装置。

【請求項7】 前記制御手段は、各前記メモリセルおよび各前記センスアンプに対してデータの書込または読出が行なわれた後、各前記センスアンプと各前記メモリセルとを分離するとともに、前記ビット線対をイコライズ状態にする、請求項6記載の半導体記憶装置。

【請求項8】 さらに、各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータが書換えられたか否かを判定する第2の判定手段とを備え、

前記制御手段は、前記第1の判定手段が書込または読出のために入力される行アドレスと各前記センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ前記第2の判定手段が各前記センスアンプに保持されているデータと各前記メモリセルに保持されているデータが書換えられたと判定したことに応じて、各前記センスアンプと各前記メモリセルとを接続し、各前記センスアンプに保持されたデータを各前記メモリセルに書込む、請求項1または5記載の半導体記憶装置。

【請求項9】 前記制御手段は、各前記センスアンプに保持されたデータが各前記メモリセルに書込まれた後、各前記センスアンプと前記書込または読出のために入力される行アドレスに対応したメモリセルとを接続し、前記コラムデコーダは、各前記センスアンプと前記入出力線対とを接続する、請求項8記載の半導体記憶装置。

【請求項10】 前記センスアンプ部に対して隣接して複数の前記メモリセルアレイが設けられる、請求項1から9いずれかに記載の半導体記憶装置。

【請求項11】 前記センスアンプ部は、隣接して設けられた複数のメモリセルアレイのいずれかのデータを保持する、請求項10記載の半導体記憶装置。

【請求項12】 複数の前記メモリセルアレイのそれぞれの間に、共有される前記センスアンプ部が隣接して設けられる、請求項1から9いずれかに記載の半導体記憶装置。

【請求項13】 複数のメモリセルが行および列方向に配置された複数のメモリセルアレイと、
各前記メモリセルの列方向に対応して設けられた複数のビット線対と、
各前記メモリセルの行方向に対応して設けられた複数の

ワード線と、

入力される行アドレスに対応したワード線を活性化するロウデコーダと、

前記複数のメモリセルアレイのそれぞれの間に共有して設けられ、各前記共有するメモリセルアレイのビット線対に接続され、共有するメモリセルアレイのいずれかの行方向に配置されたメモリセルに対応するデータを保持する複数のセンスアンプを有するセンスアンプ部と、
各前記センスアンプ部が保持しているデータに対応する行アドレスを記憶する手段と、

いずれかのメモリセルアレイのデータがセンスアンプ部に保持されているかを判定する第1の判定手段とを備えた、半導体記憶装置。

【請求項14】 さらに、各前記メモリセルアレイに近接して、かつ共有される複数のセンスアンプ部のうち最近アクセスされたセンスアンプ部を判定する第2の判定手段とを備え、

前記第2の判定手段が最近アクセスされていないと判定したセンスアンプ部に各前記メモリセルアレイのデータが書込まれる、請求項13記載の半導体記憶装置。

【請求項15】 複数のメモリセルが行および列方向に配置されたメモリセルアレイと、

各前記メモリセルの列方向に対応して設けられた複数のビット線対と、

各前記メモリセルの行方向に対応して設けられた複数のワード線と、

前記メモリセルアレイのビット線対に接続された複数のセンスアンプと、

入出力データが入出力される入出力バッファと、

前記入出力バッファおよび前記センスアンプに接続される入出力線対と、

外部行アドレスが入力される行アドレスバッファと、
前記行アドレスバッファの出力に対応したワード線を活性化するロウデコーダと、

外部列アドレスが入力される列アドレスバッファと、
前記列アドレスバッファの出力に対応したセンスアンプを前記入出力線対に接続するコラムデコーダと、

前記列アドレスバッファに外部列アドレスを入力する入力端子と、

前記行アドレスバッファに外部行アドレスを入力するとともに、前記入出力バッファに入出力データを入出力する共通の入出力端子とを備えた、半導体記憶装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】請求項6では、請求項1または5の半導体記憶装置は、さらに、各センスアンプに保持されているデータと各メモリセルに保持されているデータとが書換

えられたか否かを判定する第2の判定手段とを備え、制御手段は、第1の判定手段が書込または読出のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ第2の判定手段が各センスアンプに保持されているデータと各メモリセルに保持されているデータが書換えられていないと判定したことに応じて、各センスアンプと各メモリセルとを接続し、コラムデコーダは、各センスアンプと入出力線対とを接続する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】請求項8では、請求項1または5の半導体記憶装置は、さらに、各センスアンプに保持されているデータと各メモリセルに保持されているデータが書換えられたか否かを判定する第2の判定手段とを備え、制御手段は、第1の判定手段が書込または読出のために入力される行アドレスと各センスアンプに保持されているデータに対応する行アドレスとが異なると判定したことに応じて、かつ第2の判定手段が各センスアンプに保持されているデータと各メモリセルに保持されているデータが書換えられたと判定したことに応じて、各センスアンプと各メモリセルとを接続し、各センスアンプに保持されたデータを各メモリセルに書込む。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正内容】

【0029】請求項13では、複数のメモリセルが行および列方向に配置された複数のメモリセルアレイと、各メモリセルの列方向に対応して設けられた複数のビット線対と、各メモリセルの行方向に対応して設けられた複数のワード線と、入力される行アドレスに対応したワード線を活性化するロウデコーダと、複数のメモリセルアレイのそれぞれの間に共有して設けられ、各共有するメモリセルアレイのビット線対に接続され、共有するメモリセルアレイのいずれかの行方向に配置されたメモリセルに対応するデータを保持する複数のセンスアンプを有するセンスアンプ部と、各センスアンプ部が保持しているデータに対応する行アドレスを記憶する手段と、いずれかのメモリセルアレイのデータがセンスアンプ部に保持されているかを判定する第1の判定手段とが設けられる。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正内容】

【0030】請求項14では、請求項13の半導体記憶装置は、さらに、各メモリセルアレイに隣接して、かつ共有される複数のセンスアンプ部のうち最近アクセスされたセンスアンプ部を判定する第2の判定手段を備え、第2の判定手段が最近アクセスされていないと判定したセンスアンプ部に各メモリセルアレイのデータが書込まれる。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】請求項15では、複数のメモリセルが行および列方向に配置されたメモリセルアレイと、各メモリセルの列方向に対応して設けられた複数のビット線対と、各メモリセルの行方向に対応して設けられた複数のワード線と、メモリセルアレイのビット線対に接続された複数のセンスアンプと、入出力データが入出力される入出力バッファと、入出力バッファおよび前記センスアンプに接続される入出力線対と、外部行アドレスが入力される行アドレスバッファと、行アドレスバッファの出力に対応したワード線を活性化するロウデコーダと、外部列アドレスが入力される列アドレスバッファと、列アドレスバッファの出力に対応したセンスアンプを前記入出力線対に接続するコラムデコーダと、列アドレスバッファに外部列アドレスを入力する入力端子と、行アドレスバッファに外部行アドレスを入力するとともに、入出力バッファに入出力データを入出力する共通の入出力端子とを備える。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0111

【補正方法】変更

【補正内容】

【0111】図15は、この発明の第4の実施例による半導体記憶装置の主要部概略ブロック図であり、図16は、図15のLRU (Least Recently Used) レジスタを示した図である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0121

【補正方法】変更

【補正内容】

【0121】次に、図17の動作を簡単に説明する。たとえば、メモリセルアレイMC2の2行分のデータをセンスアンプ部A1、A2は保持できる。また、センスアンプA1は、メモリセルアレイMC1の1行分のデータを保持し、センスアンプA2は、メモリセルアレイMC2の1行分のデータを保持することもできる。また、た

たとえばメモリセルアレイMC 3が頻繁にアクセスされる場合には、メモリセルアレイMC 3の2行分のデータがセンスアンプ部A 2, A 3に保持されてもよい。また、メモリセルアレイMC 3の1行分のデータをセンスアンプ部に保持する際に、各センスアンプ部に対してLRUレジスタが図15に示されるように2個ずつ設けられることで、センスアンプ部A 2, センスアンプ部A 3のうち最近アクセスされなかった方にメモリセルから読出されたデータが保持されれば、さらにヒット率は向上する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0136

【補正方法】変更

【補正内容】

【0136】

【発明の効果】以上のように、この発明によれば、行アドレスおよび列アドレスが入力される前の待機時において、センスアンプとメモリセルアレイのメモリセルとが分離されているので、センスアンプの保持するデータに対応する行アドレスと入力される行アドレスとが一致し

た場合には、センスアンプの保持するデータをたとえば直接読出すことができる。さらに、センスアンプの保持するデータに対応する行アドレスと入力される行アドレスとが一致しない場合には、イコライズ状態にされたビット線対を介して、メモリセルに保持されたデータをたとえば読出すことができる。また、他の発明によれば、複数のメモリセルアレイのそれぞれの間に共有して複数のセンスアンプを有するセンスアンプ部と、各センスアンプ部が保持しているデータに対応する行アドレスを記憶する手段と、いずれかのメモリセルアレイのデータがセンスアンプ部に保持されているかを判定する判定手段を設けたので、同一メモリセルアレイの2行分のデータがセンスアンプ部に保持することが可能となり、ヒット率が向上する。さらに、他の発明によれば、列アドレスバッファに外部列アドレスを入力する入力端子と、行アドレスバッファに外部行アドレスを入力するとともに、入出力バッファに入出力データを入出力する共通の入出力端子とを備えているので、端子数が増加することなく、外部列アドレスと外部行アドレスが同じに入力でき、高速な動作が可能となる。

014218 56/ 12.03.2017

THIS PAGE BLANK (USPTO)